

INSTITUTO PROFESIONAL DE SANTIAGO

ESCUELA DE TECNOLOGIA

INTERFACE RECEPCION/TRANSMISION DE DATOS

TESIS PARA OPTAR AL TITULO DE:

INGENIERO DE EJECUCION EN ELECTRONICA

PROFESOR GUIA:

SR. ERIC STERNBERG GUIÑEZ

ALUMNOS:

LUIS A. DURAN PINO

MARIO H. SANHUEZA CRUZAT

SANTIAGO DE CHILE

1999

A nuestras Esposas Cecilia
y Rosa por el apoyo que nos
han brindado en nuestra ca-
rrera; también a nuestros
hijos por el tiempo que le
hemos privado.

INTRODUCCION

CAPITULO No 1

1.0	Introducción	1
1.1	Diagrama en bloques.....	3
1.2	Unidad Control de Proceso (CPU).....	4
1.3	Estructura básica del Microprocesador.....	5
1.3.1	Direccionamiento de la Instrucción a ejecutar	7
1.3.2	Decodificador de instrucciones.....	7
1.3.3	Unidad de Control-.....	7
1.3.4	Unidad Lógica- Aritmética.....	7
1.3.5	Registros de Trabajos Diversos.....	8
1.3.6	Otros componentes.....	8
1.4	Memorias	9
1.4.1	RAM	9
1.4.2	ROM	10
1.5	Reloj	10
1.6	Fuente de Alimentación	10
1.7	Circuito entrada/salida.....	10

CAPITULO No 2

2.0	Caudal binario y rapidez de modulación...	11
2.1	Noción de caracteres y de bloques.....	14
2.2	Transmisión serie y paralelo.....	15
2.3	Transmisión Asíncrona.....	15
2.4	Transmisión síncrona.....	16
2.5	Organización de una conexión de transmisión de datos.....	17
2.6	Características de las transmisiones de datos	18

CAPITULO 3

3.1	Recorrido de un dato.....	24
3.2	Memorias.....	30
3.3	Reloj general del sistema.....	30
3.4	Reloj de recepción.....	31
3.5	Reloj de transmisión.....	31
3.6	Circuitos de CAS, MUX y RAS.....	31
3.7	Fuente de alimentación.....	34
3.8	Montaje.....	35

CAPITULO 4

4.1	Definición de SOFTWARE.....	38
4.2	Diagramas de Flujo.....	41
4.3	Diagrama de flujo general.....	42
4.4	Rutina de transmisión.....	43
4.5	Rutina de recepción.....	44
4.6	Rutina de error.....	45
4.7	Programación del CTC.....	45
4.8	Programación del SIO.....	54

CAPITULO 5

5.1	Descripción externa Z-80.....	75
5.2	Implementación del sistema.....	79
5.3	Interface IN/OUT.....	81
5.4	Banco de memoria.....	81
5.5	Fuente de alimentación.....	85

CAPITULO 6

	CONCLUSION.....	92
	BIBLIOGRAFIA.....	94

CAPITULO I

1.0

INTRODUCCION

En transmisión de datos existen dos sistemas que son, el análogo y el digital. El sistema análogo es mucho más complejo que el digital y consiste en enviar niveles de voltaje correspondientes a la información, generalmente es un sistema que utiliza MODEMS. Por su parte, el digital es aquel que solamente transmite "Ceros" y "Unos" y generalmente se realiza utilizando códigos binarios (BAUDOT, ASCII, etc.). La transferencia de información entre dos sistemas digitales se da mediante unidades de información denominadas palabras, que generalmente son de 8 bits y, existen dos métodos de efectuar dicha transmisión que son el método paralelo y el método serie. En la transmisión serie, los elementos de código que componen los caracteres son transmitidos sucesivamente en la línea y en la transmisión paralela los elementos de código se transmiten simultáneamente.

El desarrollo en la tecnología respecto a transmisión de datos, ha permitido un incremento en las velocidades de operación de los sistemas, pero este gran avance tecnológico ha dejado atrás a los equipos que operan a velocidades menores, estos equipos tienen un costo elevado razón por la cual no pueden ser desechados, además para darles uso se deben utilizar varias líneas telefónicas, una para cada velocidad, puesto que no existe una interface que realice la operación de disminuir la velocidad a la cual trabajan las máquinas antiguas, es por

esto que se propone realizar un trabajo teórico de la interface que realice la operación de ajustar la velocidad alta con las máquinas antiguas, y a la que hemos llamado "INTERFACE RECEPCION/TRANSMISION DE DATOS".

El trabajo que aquí se presenta es una interface que recibe información a 75 Baudios asincronos y la entrega de 50 Baudios, también asincrónicos y con el mismo formato, como se puede observar en la figura N° 1.

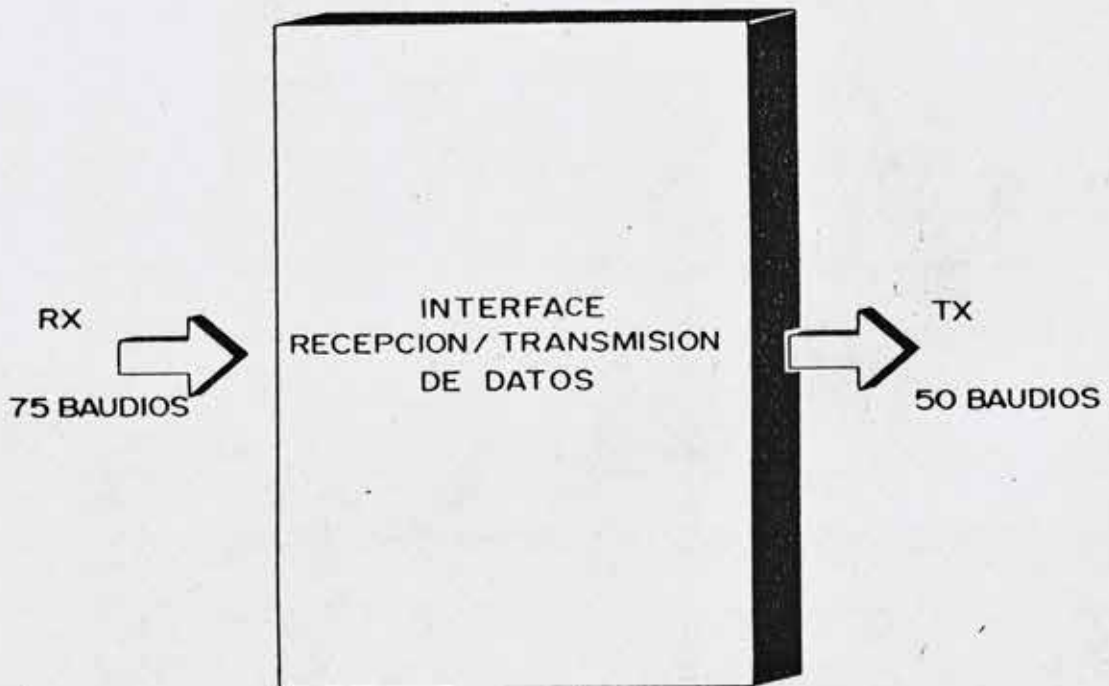


FIGURA N° 1
DIAGRAMA INTERFACE
RECEPCION/TRANSMISION DE DATOS

1.1 DIAGRAMA EN BLOQUES

En la figura No 2 se observa el diagrama en bloques de la interface con los componentes que ahí se indican como son : una unidad central de proceso (CPU), un controlador de datos bidireccionales en serie (SIO) encargado de recibir la información a 75 Baudios, almacenarla y entregarla posteriormente a 50 Baudios mediante sincronización comandada por la unidad temporizadora (CTC).

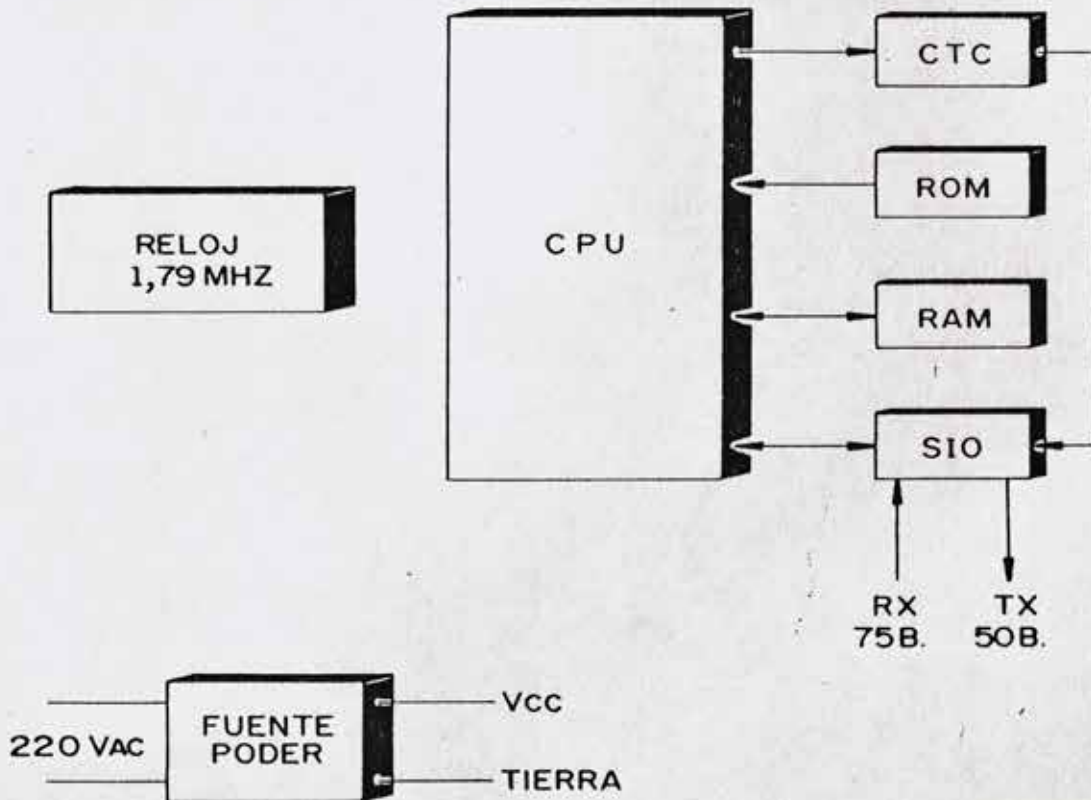


FIGURA No 2
DIAGRAMA EN BLOQUES DE LA INTERFACE
RECEPCION/TRANSMISION DE DATOS

1.2

UNIDAD CENTRAL DE PROCESO (CPU)

En las máquinas programadas, la estructura principal común debe poder realizar un gran conjunto de operaciones básicas, cada una de las cuales es ejecutada cuando la máquina recibe el código de la instrucción correspondiente. En cada aplicación, las instrucciones deben ordenarse adecuadamente para formar un programa específico para el caso. La diferencia primordial entre las diversas máquinas programadas radica esencialmente en el programa de instrucciones que debe ejecutar, así como en su interconexión con los elementos que controla.

Se denomina UNIDAD CENTRAL DE PROCESO al conjunto de elementos electrónicos, en general de carácter digital, capaz de interpretar y ejecutar el juego de operaciones elementales así como de gobernar al resto de los componentes que constituyen el sistema. Abreviadamente recibe el nombre de CPU.

El soporte físico que contiene las instrucciones que conforman un programa es la MEMORIA, la cual también almacena los datos que procesa y obtiene la máquina.

Cada máquina programada necesita una adaptación con los diversos periféricos que la comunican con el mundo exterior y se encargan de transmitir los datos a procesar o los resultados contenidos en el procesamiento. Los circuitos de interface de los periféricos con el conjunto formado por la CPU y la MEMORIA se denominan MODULOS DE ENTRADA Y SALIDA (I/O).

1.3

ESTRUCTURA BASICA DEL MICROPROCESADOR

Con la aparición del microprocesador alrededor del año 1970 se originó una profunda transformación de las técnicas de control y diseño clásicas, constituyendo en nuestros días una verdadera revolución industrial.

Se le aplica la denominación DE MICROPROCESADOR a un simple circuito integrado (LSI Large Scale Integración, incluye más de 100 compuertas) que contienen los elementos que constituyen la Unidad Central de Proceso o CPU de una máquina programada, llamada genericamente "COMPUTADOR". En la figura No 3 se muestra de forma gráfica la idea del microprocesador.



FIGURA No 3
MICROPROCESADOR

El microprocesador por sí solo no es operativo y precisa la participación de la memoria, que almacena el programa de instrucciones y los datos, así como de los módulos de Entra-

da y Salida.

La figura No 4 muestra una arquitectura típica generalizada en todos los modelos de microprocesadores.

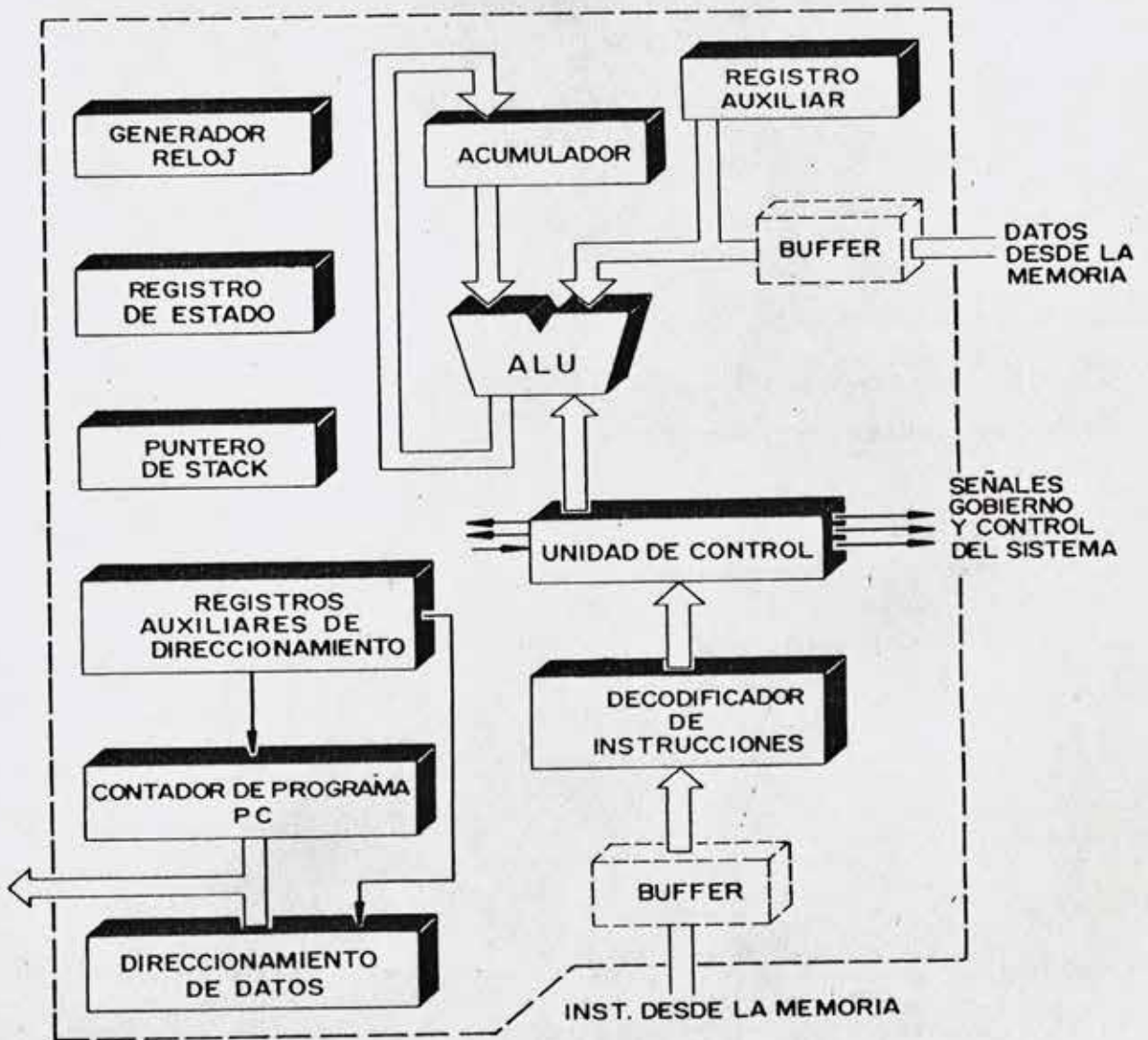


FIGURA No 4

ESTRUCTURA GENERAL A LA MAYORIA
DE LOS MICROPROCESADORES

Las principales funciones de los elementos digitales que forman el microprocesador son las siguientes :

1.3.1 DIRECCIONAMIENTO DE LA INSTRUCCION A EJECUTAR

Se lleva a cabo mediante un contador, denominado CONTADOR DE PROGRAMA (PC), que aunque normalmente se va incrementando en una unidad, puede cargarse con cualquier valor, lo que permite la rotura de la secuencia ordenada en la ejecución de las instrucciones del programa.

1.3.2 DECODIFICADOR DE INSTRUCCIONES

Se trata del elemento de la CPU que recibe la instrucción en Código binario (código máquina) e interpreta su significado.

1.3.3 UNIDAD DE CONTROL

Es el componente encargado de generar y transmitir las señales de control y sincronismo a todo el sistema, para ejecutar las instrucciones previamente decodificadas.

1.3.4 UNIDAD LOGICA-ARITMETICA (ALU)

Es la encargada de efectuar las operaciones de carácter lógico y aritmético. Esta gobernada directamente por la Unidad de Control y se encuentra muy relacionada con un registro de trabajo llamado ACUMULADOR. Normalmente, el acumulador contiene uno de los operandos que inter

vienen en la operación que realiza la ALU, así como el resultado de la misma, una vez ejecutada.

1.3.5 REGISTROS DE TRABAJOS DIVERSOS

Destacan por sus misiones más representativas los siguientes :

- Registro índice y direccionado: participa en el direccionamiento de la memoria.
- Registro de estado: contiene información sobre el estado interno de la CPU, una vez ejecutada una instrucción. Se compone de una serie de Bits, que reciben el nombre de Flags o banderas.
- Registro o contador Stack Pointer o puntero de pila: sirve para direccionar algunas posiciones de memoria en las que se guarda temporalmente el contenido de ciertos elementos significativos de la CPU. Dispone de una estructura LIFO: último en entrar, primero en salir.

1.3.6 OTROS COMPONENTES

Se pueden incluir los BUFFER triestado (separadores de tres estados) que adaptan las informaciones con el exterior de la CPU o las guardan temporalmente, el generador de señales de reloj que sincroniza el sistema y, finalmente, otros registros auxiliares.

La estructura descrita del microprocesador le confiere la potencia precisa para poder aplicar en todos los campos de la industria, comercio, medicina, telecomunicaciones, etc. variando en cada caso solamente el programa de instrucciones y los módulos de adaptación con los periféricos exteriores.

Debido a su gran margen de aplicaciones y versatilidad, se ha adoptado por la utilización de un microprocesador en el trabajo que se esta exponiendo.

1.4 MEMORIAS

Los sistemas modernos de procesamiento de la información y de control precisan de un rápido almacenamiento y recuperación de la información digital.

En el contexto de la electrónica, el término memoria suele referirse a un elemento destinado al almacenamiento de la información.

Las memorias digitales más utilizadas son las memorias de lectura/escritura cuya expresión significa que realizan las operaciones de leer y escribir a una velocidad idéntica o similar.

1.4.1 RAM (RANDOM ACCESS MEMORY)

Memoria electrónica de escritura/lectura, fabricada con la técnica LSI, y que es capaz de almacenar un número de bits que puede llegar a 16.384, en un área de menos de medio centímetro de lado.

En esta Memoria, es el lugar donde la CPU guarda los datos que maneja. Su

capacidad es de 64 Kbytes.

1.4.2 ROM (Read Only Memory)

En algunas aplicaciones se requieren de memorias que contengan información almacenada de modo permanente. Por ejemplo, es normal que los programas de control de las calculadoras de bolsillo esten almacenadas de modo permanente. Tal almacenamiento lo proporcionan las memorias de lectura ROM. La información se situa en la matriz de almacenamiento cuando se fabrica la pastilla. La información almacenada no es volátil, es decir, no se pierde cuando se elimina la alimentación externa.

En este tipo de memoria es ra localizado el programa desarrollado por la CPU.

1.5 RELOJ

El sistema requiere para su buen funcionamiento, una señal de reloj cuya frecuencia de operación debe ser de 1,79 MHz.

1.6 FUENTE DE ALIMENTACION

Todos los circuitos integrados en el sistema requieren de 5 VDC de alimentación.

1.7 CIRCUITO ENTRADA/SALIDA

- ENTRADA

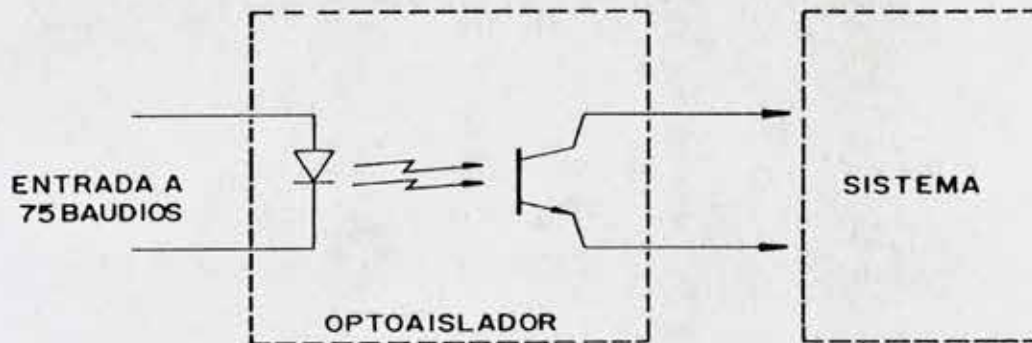


FIGURA No 5
CIRCUITO DE ENTRADA

En la figura No 5, se muestra el circuito que acopla las señales de la línea telefónica a niveles TTL. Esta conformado por un optoaislador, el cual será analizado en el siguiente capítulo.

- SALIDA

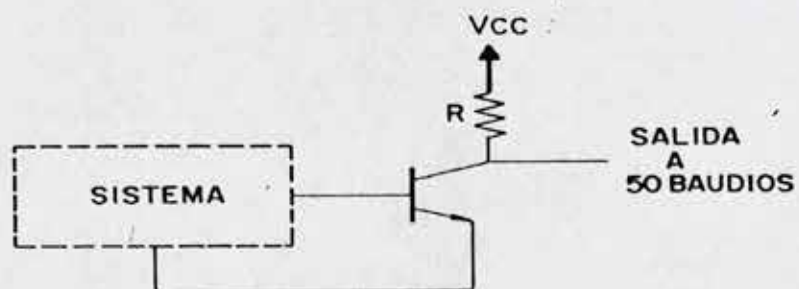


FIGURA No 6
CIRCUITO DE SALIDA

La señal que entrega el sistema (50 Baudios) es amplificada, para su perfecto acoplo con una unidad impresora (TTY), dicho acoplo se realiza con un transistor como se puede observar en la figura No 6.

CAPITULO II " SEÑALES "

2.0

CAUDAL BINARIO Y RAPIDEZ DE MODULACION

La señal de datos se presenta como una sucesión de señales elementales, cuantificadas en duración y en amplitud. Si T es la duración elemental más corta de una señal de datos, la rapidez de modulación "R" expresada en Baudios es :

$$R = \frac{1}{T}$$

donde R = Baudios
T = Segundos

En telegrafía el elemento de señal tiene una duración de 20 mseg. y, la rapidez de modulación correspondiente es :

$$R = \frac{1}{20 \cdot 10^{-3} \text{ seg.}} = 50 \text{ Baudios}$$

Se define Caudal binario al número de elementos de información binaria que se transmite durante la unidad de tiempo. Esto depende de la rapidez de modulación y también de la cantidad de información contenida en cada elemento de señal. Si "n" es el número de estados significativos que puede tomar el elemento de señal, la cantidad de información contenida en esta es $\text{Log}_2 n$.

El número "n" de estados significativos del elemento se llama valencia de la señal.

En el caso de una transmisión serie de valencia "n" y de rapidez "R", el caudal binario esta dado por la fórmula :

$$B \text{ en bit/s} = R \text{ en Baudios} \times \text{Log}_2 n$$

En general la valencia de la señal es dos, en tal caso $n=2$ y el caudal binario en bit/s es igual al número de Baudios de la rapidez de modulación. Es necesario señalar que en este caso particular hace que exista frecuentemente confusión en el lenguaje técnico. No obstante, se debe considerar que no es siempre así.

2.1 NOCION DE CARACTERES Y DE BLOQUES

El mensaje de datos puede ser considerado como una sucesión de elementos binarios "0" ó "1". Esta sucesión resulta de la correspondencia entre caracteres alfabéticos ó numéricos a transmitir y sus representaciones por un número fijo de elementos binarios. Esta correspondencia constituye el código utilizado para transmisión. El alfabeto internacional Nº 5 recomendado por el C.C.I.T.T. es el más frecuentemente utilizado en transmisión de datos en el cual cada carácter se representa por siete elementos de código y por lo tanto permite $2^7 = 128$ combinaciones o sea 128 caracteres. Casi siempre se utiliza con un octavo bit para la pro -

tección contra los errores que toma el valor "1" cuando el número de "1" en la combinación de los 7 bits es par en sistema arrítmico e impar en modo sincrónico.

Los caracteres son agrupados en bloques para la protección contra los errores.

Los bloques son conjuntos de caracteres operados por el sistema de detección o corrección de errores en línea.

2.2 TRANSMISION SERIE Y PARALELO

En la transmisión serie, los elementos de código que componen los caracteres son transmitidos sucesivamente en la línea y en la transmisión paralela los elementos de código se transmiten simultáneamente, para aclaración el código está formado por dos o tres frecuencias transmitidas simultáneamente y escogidas dentro de un grupo de cuatro frecuencias distintas.

2.3 TRANSMISION ASINCRONA

La transmisión asincrónica es tal que entre dos instantes significativos de un mismo grupo hay siempre un número entero de intervalos de tiempo unidad, pero entre dos instantes significativos de grupos diferentes no hay siempre un número entero de dichos intervalos. En un modo de transmisión asincrónico por caracteres una señal de Start ó Arranque marca el inicio de la señal que

representa el carácter y una señal de Stop ó Parada marca el fin de esta señal. Entre el Start y el Stop los elementos de señal son múltiplos de un intervalo de tiempo unidad.

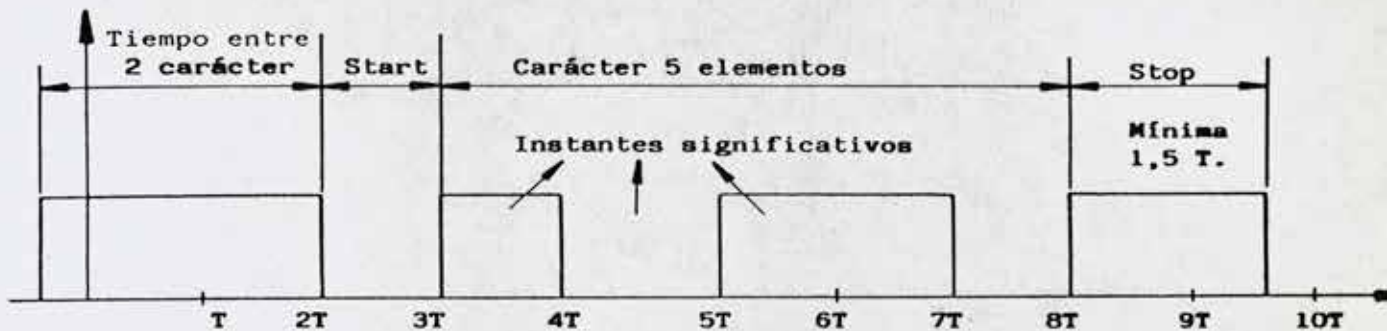


FIGURA No 1

SEÑAL DE TRANSMISION ASINCRONA

La transmisión entre la parada y el arranque marca el instante inicial para la sincronización del carácter.

2.4 TRANSMISION SINCRONA

El intervalo de tiempo entre dos instantes significativos cualesquiera es siempre múltiple entero de la duración del intervalo de tiempo unidad. En la transmisión asincrónica es la señal de START la que sincroniza en la recepción, los

instantes de Test de la señal, instante en que se determina la naturaleza del elemento de señal, cero ó uno. En la transmisión sincrona es una señal de reloj, en fase con la señal recibida la que fija los instantes de Test.

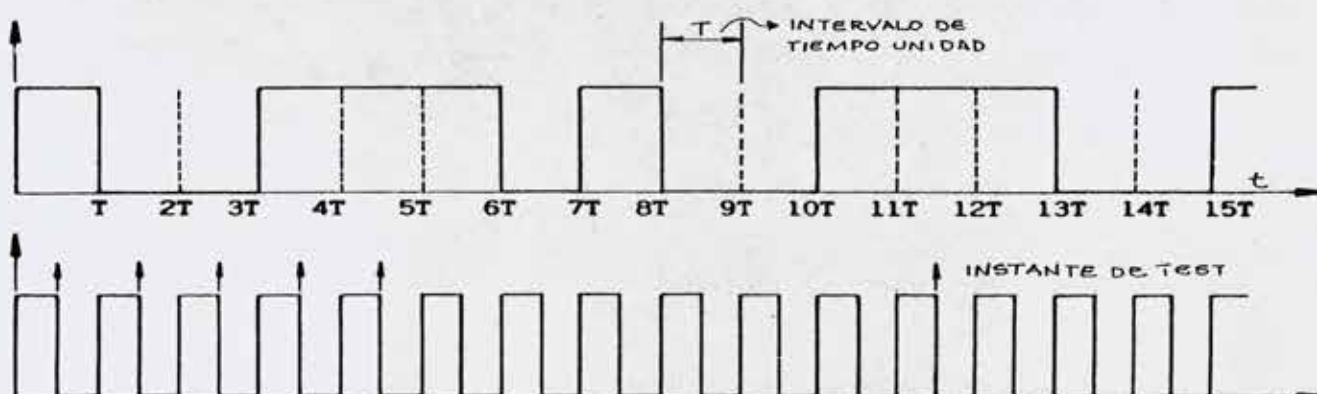


FIGURA No 2
SEÑAL DE TRANSMISION SINCRONA

Se observa que, a rapidez iguales, el caudal binario de la información es mayor con una transmisión sincrona, ya que en la transmisión asincrona se pierden los tiempos de sincronización de los caracteres de arranque y parada.

2.5 ORGANIZACION DE UNA CONEXION DE TRANSMISION DE DATOS

Una conexión de transmisión de datos tiene la configuración siguiente:

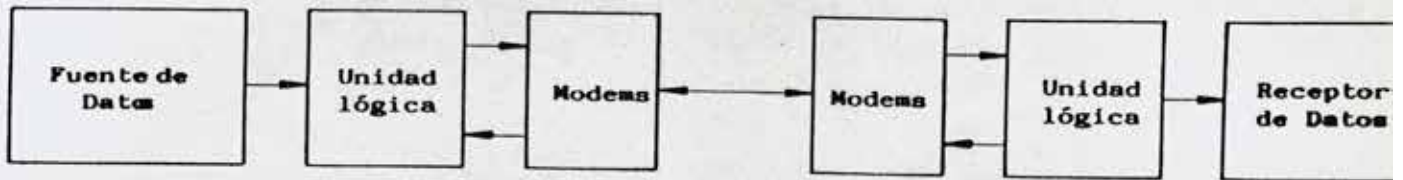


FIGURA No 3
CIRCUITO DE TRANSMISION DE DATOS

La unidad lógica permite poner las señales de datos bajo una forma asimilable por el modulador del modems (transmision serie), pero también algunas veces contiene los circuitos para el establecimiento y control de la comunicación de datos. Muy a menudo ella efectúa el control, y así detecta los errores para corregir o pedir la repetición de los datos.

El Modems permite efectuar una modulación o una demodulación de la señal de datos según el caso (emisión o recepción) con el objeto de facilitar la transmisión en líneas y sistemas de transmisión. La señal que sale de la Unidad Lógica es una sucesión de impulsos y tiene en su espectro una componente continua que no puede ser transmitida en el circuito por lo tanto se efectúa una modulación de frecuencia o de fase con una portadora de frecuencia adecuada.

2.6 CARACTERISTICAS DE LAS TRANSMISIONES DE DATOS

La comunicación entre terminales se hace utilizando líneas o canales de transmisión, los cuales pueden ser :

- TRANSMISION UNIDIRECCIONAL (ó SIMPLEX)

La transmisión de los datos se efectúa en un sólo sentido como se observa en la figura No 4



FIGURA No 4
VIA UNIDIRECCIONAL

- TRANSMISION BIDIRECCIONAL ALTERNADO (HALF DUPLEX)

La transmisión de datos puede efectuarse alternativamente de X hacia Y ó de Y hacia X.



FIGURA No 5
VIA BIDIRECCIONAL ALTERNADO

- TRANSMISION BIDIRECCIONAL (FULL DUPLEX)

La transmisión se efectúa si multáneamente en los dos sentidos.

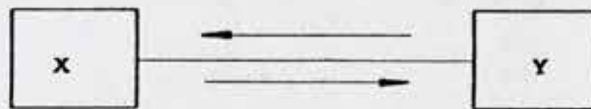


FIGURA No 6
VIA BIDIRECCIONAL

Cabe hacer presente que los transmisores de datos pueden utilizar circuitos telefónicos con prolongaciones de líneas en planta externa que pueden ser del tipo "2 hilos" como también del tipo "4 hilos".

CAPITULO III "DISEÑO DEL SISTEMA"

El Banco de Memorias que utiliza la Interface Recepción/Transmisión de Datos, consiste en un arreglo de memorias FIFO (First in-First out), de acceso serie en las que la primera información que entra es la primera en salir.

En la figura No 1 se representa gráficamente la forma en que se mueve la información en el interior de una memoria FIFO al realizar sucesivas operaciones de escritura y lectura.

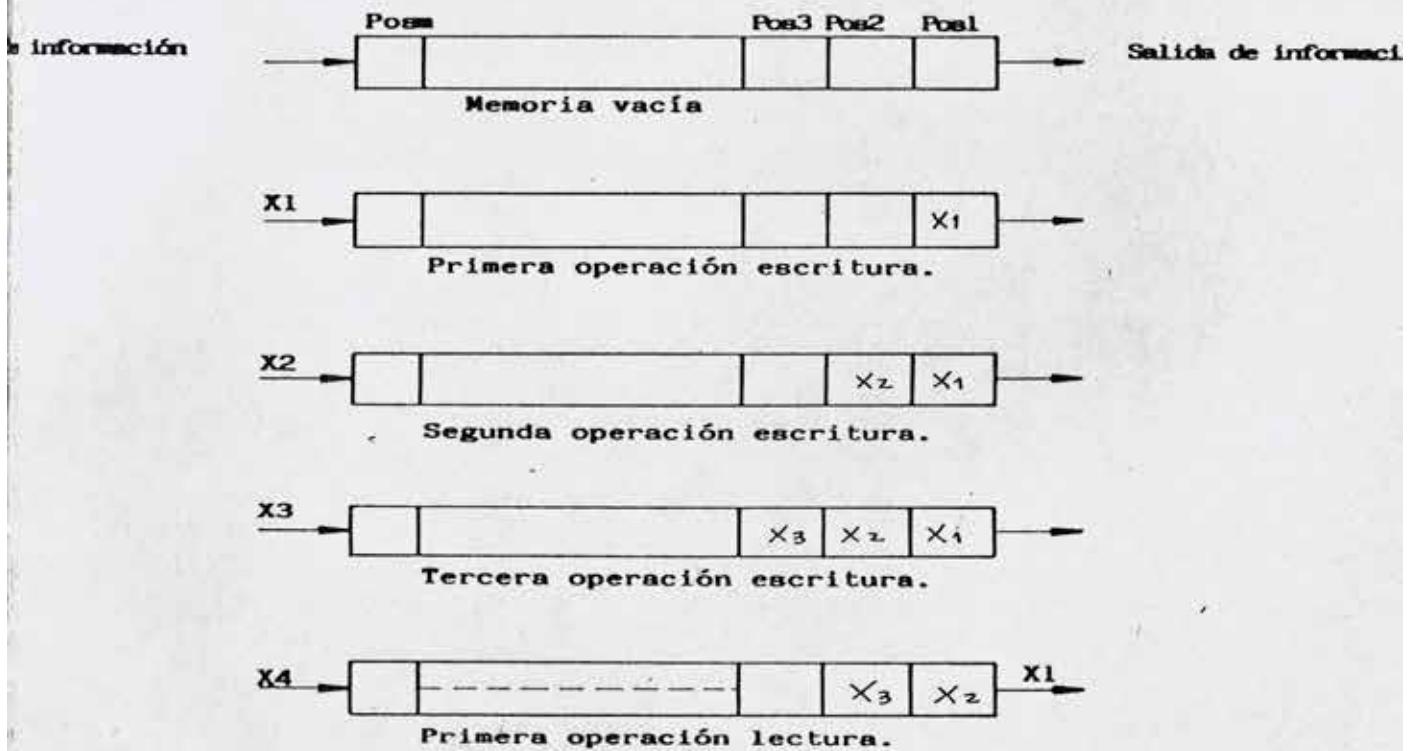


FIGURA No 1
FORMA DE ESCRITURA Y LECTURA
DE UNA MEMORIA FIFO

En la parte superior se representa la memoria vacía en el instante inicial antes de realizar ninguna operación de escritura o lectura, al suponer que a continuación se da una orden de escritura, la información X1 presente a la entrada debe desplazarse hasta la posición 1 de la memoria conectada a la salida. Si a continuación se realiza otra operación de escritura, la información X2 presente en la entrada se desplaza hasta la posición vacía más próxima a la salida, que es ahora la penúltima. Se supone que a continuación se realiza otra operación de escritura, la información X3 presente en la entrada se desplaza también hasta la posición vacía más cercana a la salida que es la antepenúltima. Al realizar seguidamente una operación de lectura, la información contenida en la memoria se desplaza una posición hacia la salida, es decir, la información X1 sale de la memoria FIFO, la información X2 se desplaza a la posición ocupada por X1 y la información X3 se desplaza a la que contenía a X2. La memoria FIFO se comporta igual que un registro de desplazamiento en la operación de lectura, pero no así en la operación de escritura, en la que la información se desplaza desde la entrada hasta la posición vacía más cercana a la salida.

En la figura N^o 2 se representa el diagrama de bloques de una memoria FIFO organizada en serie posición a posición, que posee n_1 terminales de entrada y n_1 terminales de salida y un conjunto de terminales de control



FIGURA N^o 2
DIAGRAMA DE BLOQUES DE UNA MEMORIA FIFO

La aplicación de las memorias FIFO al presente trabajo consiste en el acoplamiento de un sistema asincrono de diferente velocidad de proceso. El enlace de dos sistemas digitales de proceso asincronos que poseen generadores de impulsos diferentes necesita una unidad de acoplamiento tal como se indica en la figura No 3.

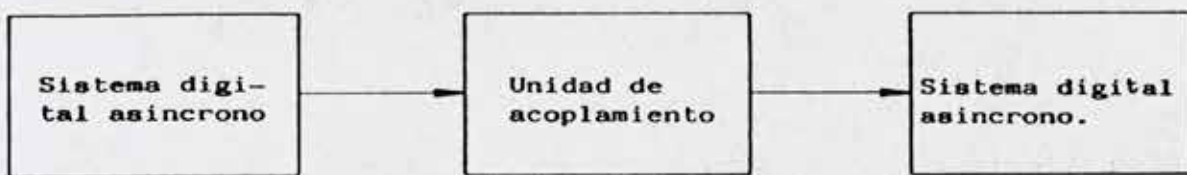


FIGURA No 3

El sistema transmisor procesa y envía la información al receptor a una velocidad superior a la que éste puede aceptarla, por lo tanto, el acoplamiento entre ambos sistemas se realiza mediante MEMORIAS FIFO. Figura No 4.

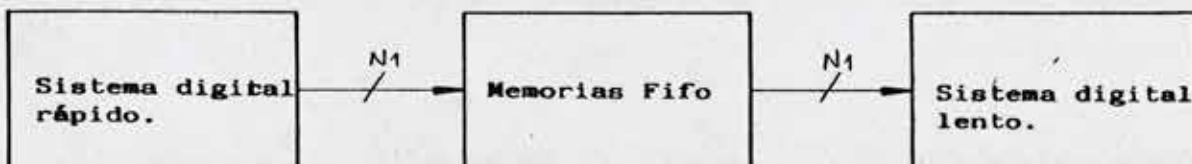


FIGURA No 4

El sistema rápido va llenando la memoria FIFO y el sistema lento la va vaciando, la capacidad de ésta ha de ser adecuada a la diferencia de velocidad entre ambos sistemas para que nunca se intente realizar una operación de escritura cuando la memoria este totalmente llena.

El sistema en estudio debe cumplir con las siguientes especificaciones :

- a) Tener la capacidad de distinguir entre un dato y un ruido proveniente de la línea.
- b) Una capacidad de más de 50 Kbytes que evite el rebosamiento, puesto que la Recepción de Datos es más veloz que la transmisión de datos en la memoria.
- c) Guardar los datos recibidos solamente mientras se transmiten.
- d) Poder generar dos señales de reloj que permitan operar en el Receptor/Transmisor a 75 y 50 Baudios, respectivamente.
- e) Que la recepción y transmisión sean automáticas.

3.1 RECORRIDO DE UN DATO

En la figura No 5, se ilustra el recorrido que realiza un dato desde la recepción hasta la transmisión.

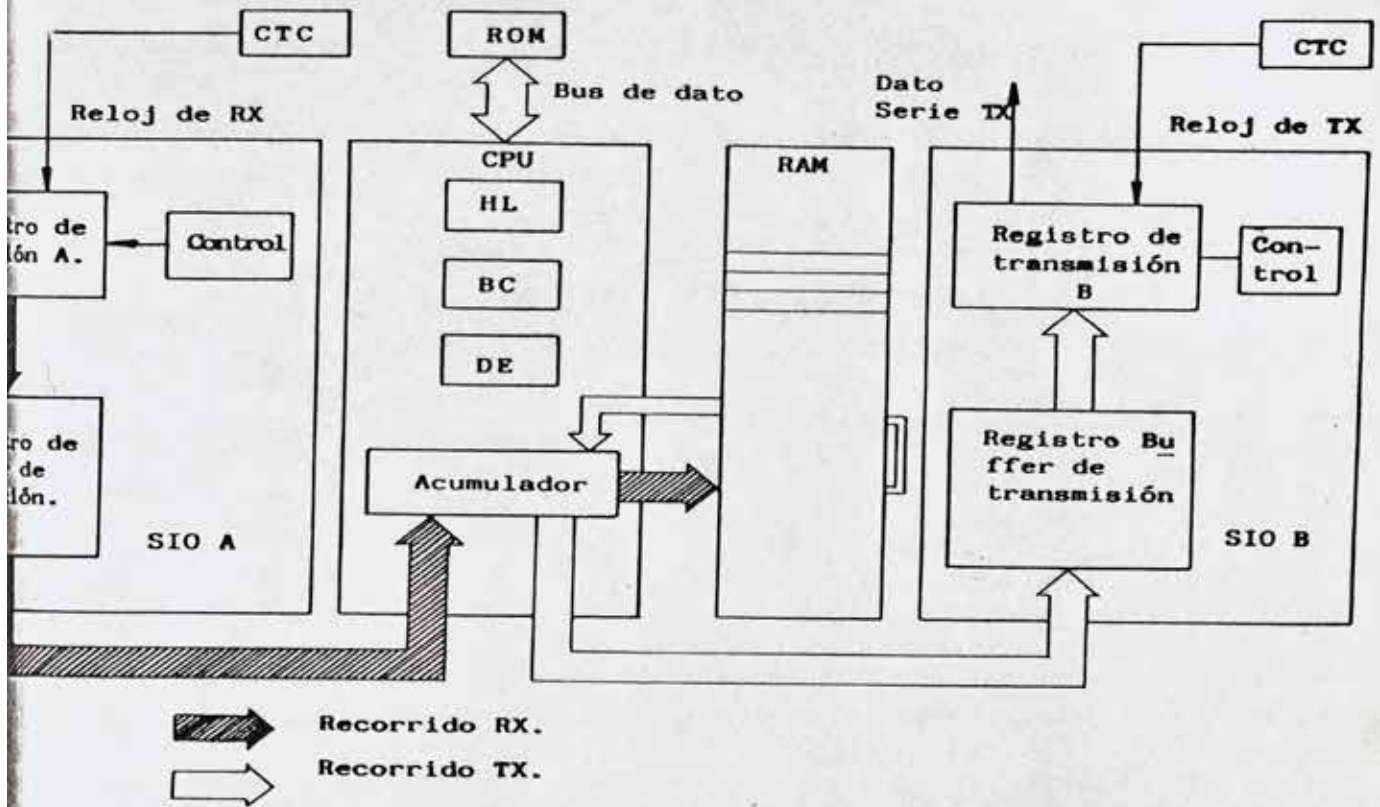


FIGURA No 5
RECORRIDO DE RECEPCION/TRANSMISION DE UN DATO

La señal, la cual llega en serie, pasa al sistema por medio de un optoaislador el cual adapta los niveles de tensión a niveles de TTL (Transistor-Transistor Logic), luego continúa a la entrada de datos en el SIO. El canal A del SIO, esta programado en sus registros de control, donde se compara la señal y la reconoce como de 75 Baudios asincronicos, además de su formato. Para que el SIO reconozca que la señal de recepción es de 75 Baudios,

necesita la ayuda de una señal de reloj externo, que se la proporciona el CTC.

En el canal A del SIO, el cual está programado como receptor, se realizan las funciones que se indican en el diagrama de Flujo que muestra la figura No 6.

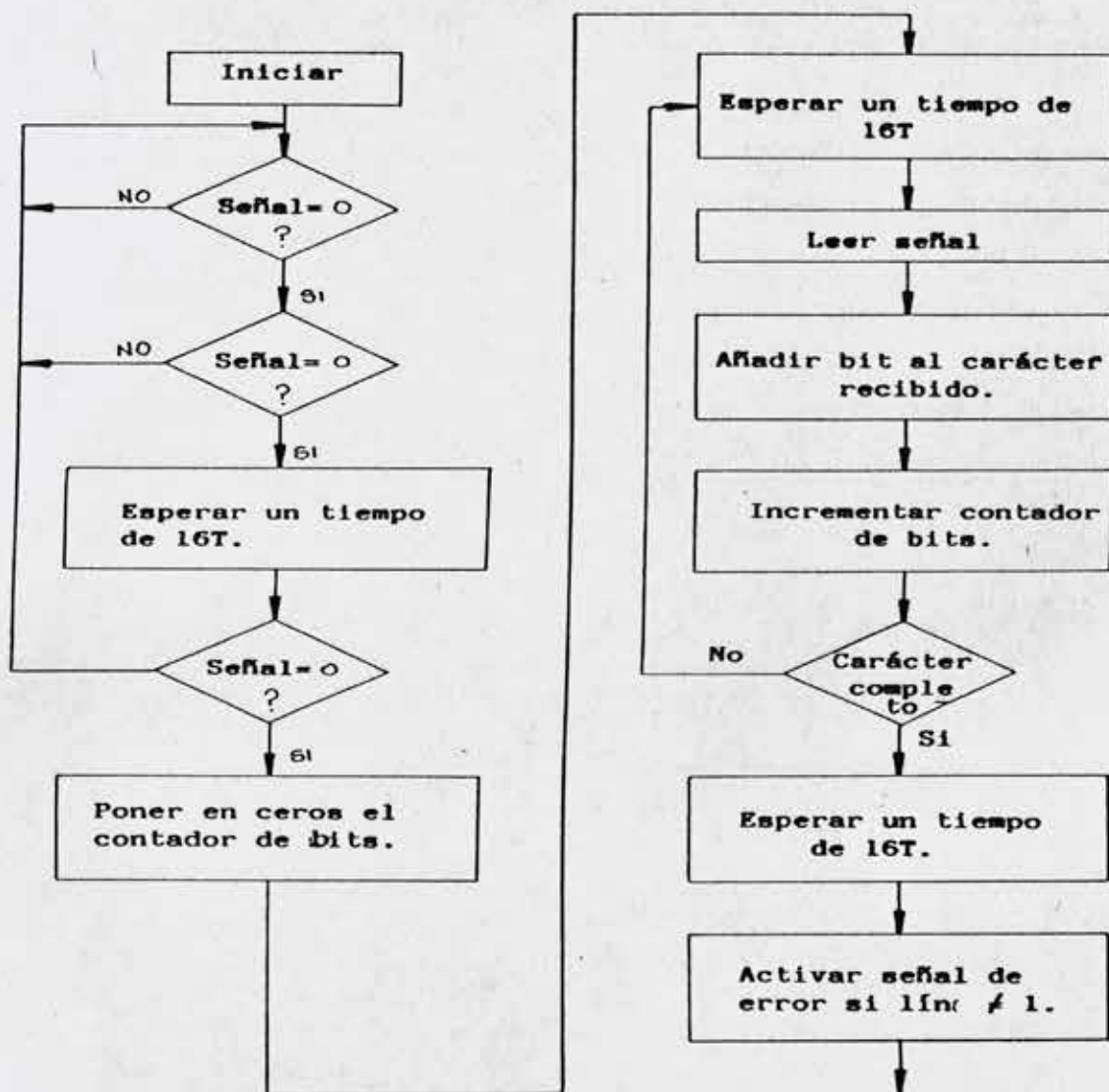


FIGURA No 6
DIAGRAMA DE FLUJO DE RECEPCION ASINCRONICA

Cuando la línea de señal está en reposo, o sea cuando no existe transmisión de datos, el sistema de transmisión proporciona un "uno lógico" ó "línea de marca". El canal receptor del SIO está todo el tiempo monitoreando la entrada, y cuando encuentra que es un "cero lógico", verifica que puede tratarse de un bit de arranque ó de una señal espúrea, si dicho cero persiste, espera un tiempo de 7,5 pulsos de reloj de recepción, si continúa siendo "cero" asume que se trata de un bit de arranque; entonces coloca a cero el contador de bits, espera un tiempo de 16 ciclos de reloj y lee la señal; guarda el bit como el primero del dato recibido; seguidamente, incrementa su contador de bits, espera otros 16 ciclos de reloj de recepción y vuelve a leer la señal; esta secuencia se repite hasta completar los 5 bits del carácter. Finalizada la recepción de todo el carácter, espera otros 16 ciclos de reloj de recepción y debe encontrar la señal en un nivel "1", cuando no lo encuentra entiende que existe un error en la toma del dato y produce una interrupción de error, pero si lo encuentra, espera otros 16 ciclos y lo reafirma como bit de parada asumiendo que el dato recibido es correcto, por lo tanto produce una interrupción para la CPU.

La CPU en su rutina de recepción, le proporciona una señal al SIO receptor, ordenándole pasar el dato a su acumulador. La CPU verifica que dirección está apuntando el registro BC, en el cual se encuentra la dirección de memoria donde se guardara el dato y, a dicha dirección lo envía. La CPU incrementa los registros HL (contador de palabras que no se han transmitido) y BC; además, revisa en que punto se encuentra este contador (BC) para verificar si ha llegado al tope superior de la memoria RAM, caso en el cual hace que

dicho puntero marque el tope inferior y espera la interrupción. En la figura No 7 se indica el mapa de memoria utilizado en el sistema.

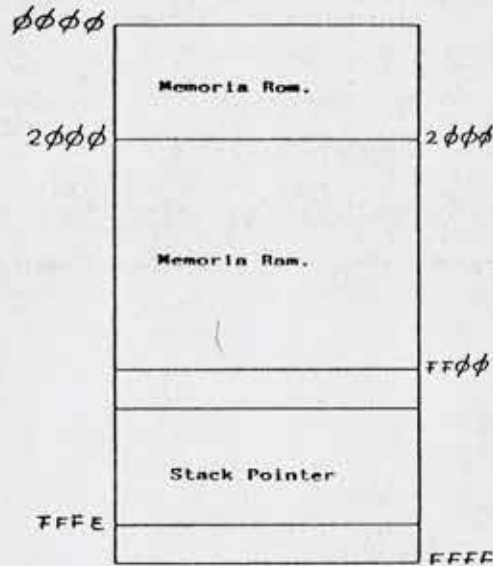


FIGURA No 7
MAPA DE MEMORIA

En el mapa de memoria se observa que el puntero BC está comprendido entre las posiciones 2000H y FF00H.

Cuando es necesario transmitir un dato, el SIO transmisor (canal B) provoca una interrupción de transmisión, en ésta la CPU mira el estado del puntero DE, registro que tiene la dirección de memoria en la cual se encuentra el dato que va a ser transmitido; toma dicho dato y posteriormente se lo entrega al canal B del SIO, además incrementa el punto DE, verifica que haya llegado al tope y decrementa el contador de palabras transmitidas (HL); posteriormente, espera una nueva interrupción.

El SIO transmisor (canal B), una vez recibido el dato, realiza las funciones que se indican en el diagrama de flujo de la figura No 8.

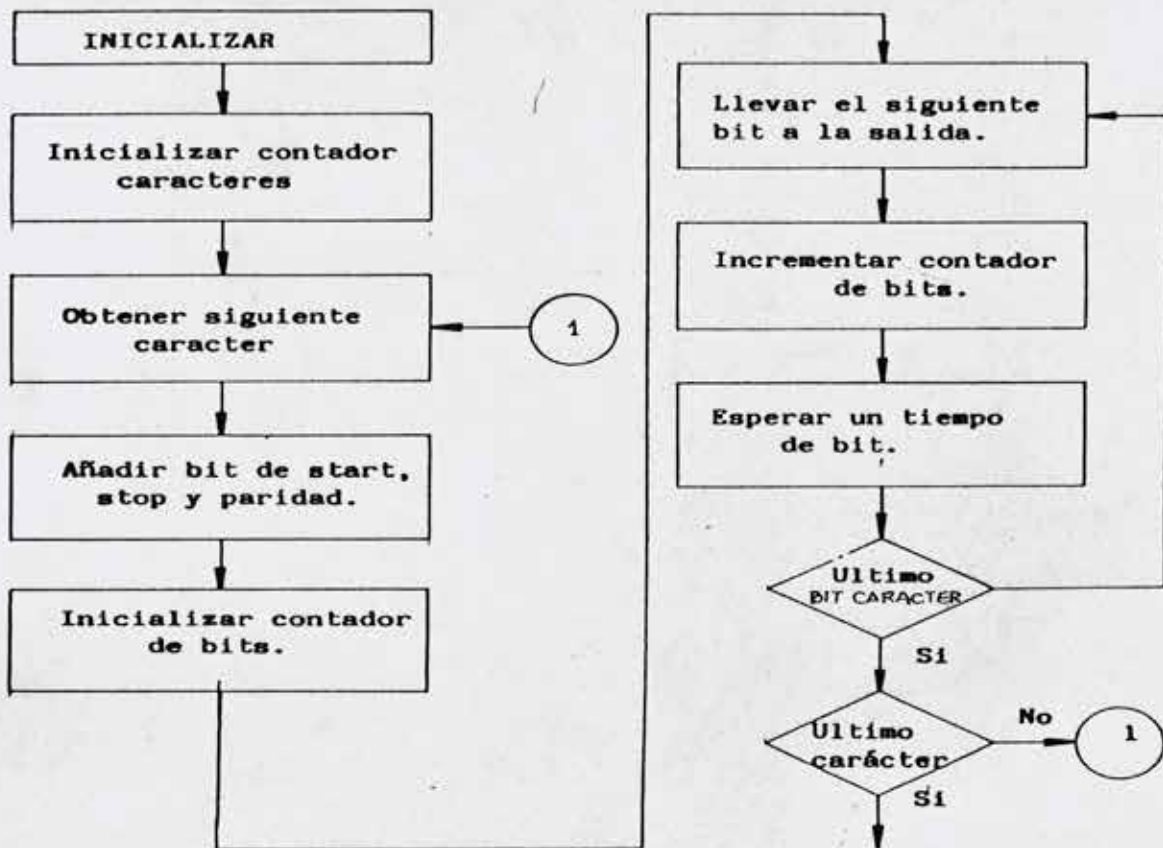


FIGURA No 8
DIAGRAMA DE FLUJO DE
TRANSMISION ASINCRONICA

Si existe un dato en el buffer, pasa al registro de transmisión, posteriormente ahí se le colocan los bits de arranque y parada; inicia liza el contador de bits, lleva el primer bit y espera el tiempo de 1 bit; posteriormente pasa el siguiente bit a la salida y repite la operación hasta que ha transmitido todo el carácter, luego procede a buscar otro dato para repetir la operación.

3.2 MEMORIAS

El sistema posee una capacidad de 56 Kbytes de memoria dinámica, las cuales se llenarían en 1,1/2 horas si existiere únicamente recepción; como la transmisión es simultánea esta capacidad aumenta aproximadamente a 5,0 horas de recepción y transmisión continua, por otra parte, este hecho no ocurre puesto que la recepción es a intervalos de tiempo, por lo tanto dicha capacidad es más que suficiente. El sistema es capaz de operar continuamente durante las 24 horas del día.

Además se emplea una memoria EPROM que contine el sistema operativo de 2 Kbytes de capacidad, localizada entre las direcciones 0000H y 07FFH, esta memoria contiene el programa monitor. Es una memoria de lectura solamente, inalterable por el usuario. Contiene la información permanente (datos y programas) necesarios para el funcionamiento del sistema.

3.3 RELOJ GENERAL DEL SISTEMA

La interface requiere de un reloj de 1,79 MHz que es suministrado por un cristal de 3,57 MHz en conjunto con dos inversores y un Flip-Flop tipo D, éste último actúa como divisor de frecuencia por dos. Esta señal es requerida por la CPU, el SIO, el CTC y el circuito generador de las señales CAS y MUX.

3.4 RELOJ DE RECEPCION

Esta señal de reloj es requerida por el canal A del SIO para operar como receptor a 75 baudios, como el receptor realiza una división interna de 16, se necesita que dicha frecuencia sea de 1200 pulsos por segundo. El CTC, el cual puede operar como Timer o Counter, está programado para que la frecuencia de 1,79 MHz se divida internamente por 16 y luego por 94 para generar los 1200 pulsos.

3.5 RELOJ DE TRANSMISION

Esta señal es requerida por el canal B del SIO para operar como transmisor a 50 baudios. De la misma manera que se opero con la señal de reloj de recepción se obtiene 800 pulsos por segundo, al hacer la división por 140 y por 16.

3.6 CIRCUITOS DE CAS, MUX Y RAS

Como se ha empleado memorias dinámicas, estas poseen un direccionamiento multiplexado;

o sea que su ordenamiento es matricial en 256 filas y 256 columnas. Como tiene unicamente 8 líneas de dirección se tiene que proporcionarle primero 8 líneas de fila y luego 8 líneas de columna controladas por sus señales CAS (Column Address Strobe) y RAS (Row Address Strob). Para generar las señales MUX (Multiplexado), CAS y RAS, se utiliza el circuito que se muestra en la figura No 9.

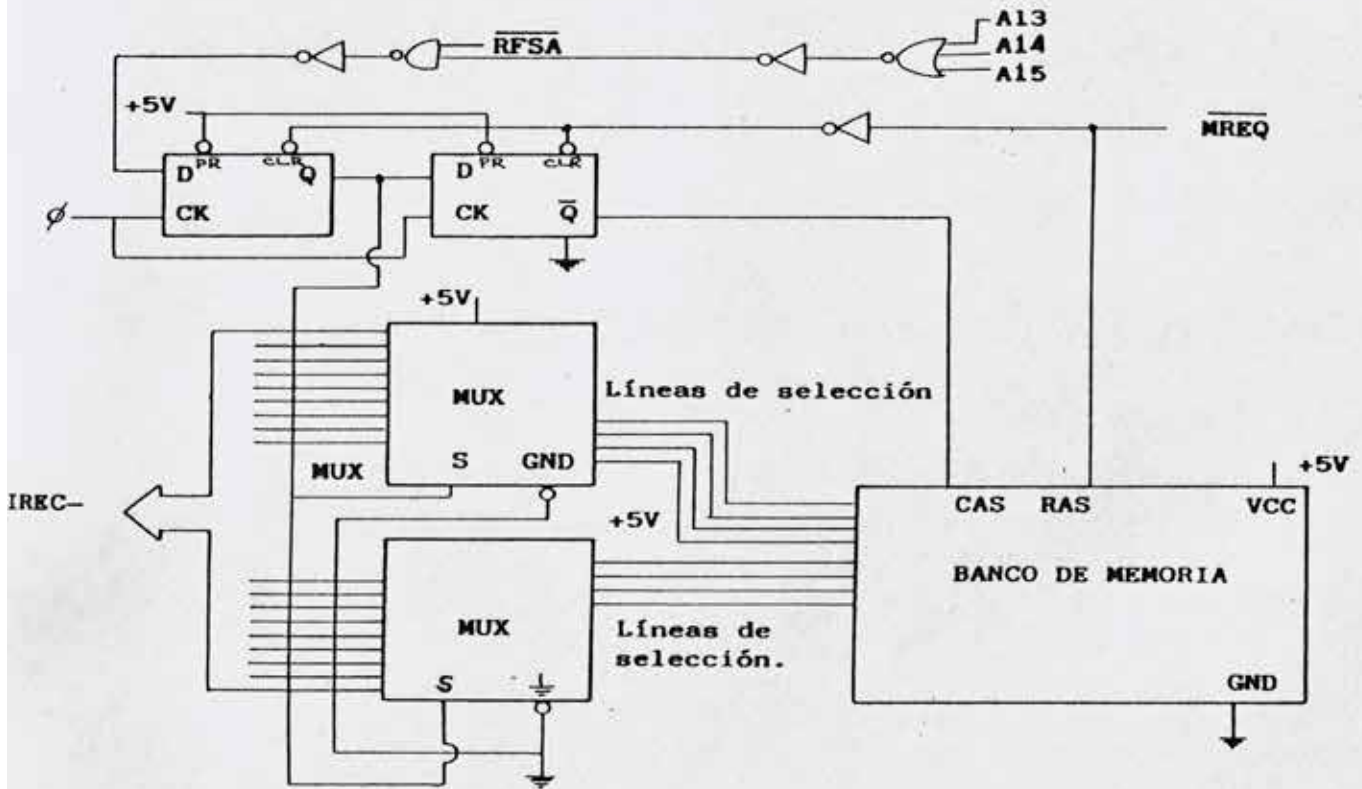


FIGURA No 9
CIRCUITO GENERADOR DE \overline{CAS} , \overline{RAS} Y MUX

Cuando la señal \overline{MREQ} se habilita, permite que el dato presente en el primer Flip-Flop pase a su salida Q generando la señal MUX cuando llegue el siguiente flanco de subida de reloj del sistema: el dato presente en el Flip-Flop es un "1" siempre y cuando la dirección entregada por la CPU corresponda a la memoria RAM, correspondencia que se da mediante el circuito decodificador constituido por una compuerta OR en conjunto con el ciclo de refresco. La señal MUX cuando es "cero" coloca en las salidas de los multiplexores la dirección de las filas, y cuando es "1" la de las columnas. En el siguiente flanco ascendente de reloj, el dato presente en el segundo Flip-Flop pasará a su salida \overline{Q} produciendo la señal \overline{CAS} . La señal \overline{RAS} se produce siempre que la señal \overline{MREQ} , entregada por la CPU, esté activa (nivel "0"). De esto se deduce que primeramente se produce el direccionamiento de fila, luego se da el multiplexaje y por último la selección de columna.

Para que haya un ciclo de lectura las señales \overline{CAS} , \overline{RAS} y \overline{WE} (habilitador de escritura) deben cumplir con el diagrama que se da en la figura No 10.

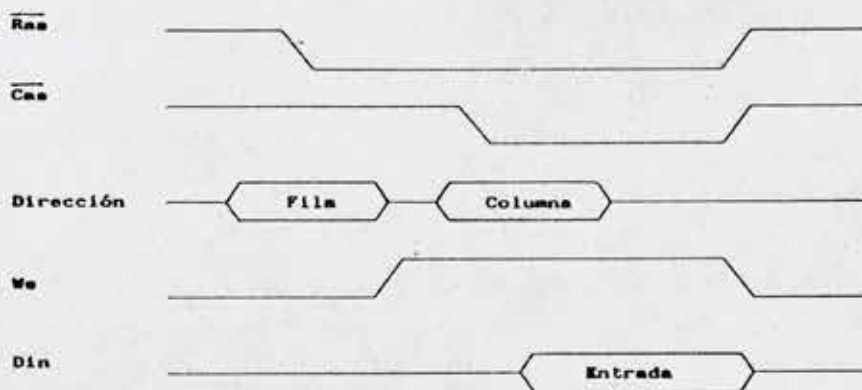


FIGURA No 10
CICLO DE LECTURA

En la figura No 11 se muestra además, el diagrama de tiempos del ciclo de escritura, el cual es de características similares a las del ciclo de lectura. La señal \overline{WE} se obtiene directamente de la CPU mediante su señal \overline{WR} . Se verifica que \overline{WE} , en conjunto con \overline{CAS} y \overline{RAS} , produce un ciclo de escritura en nivel "0" y un ciclo de lectura en nivel "1".

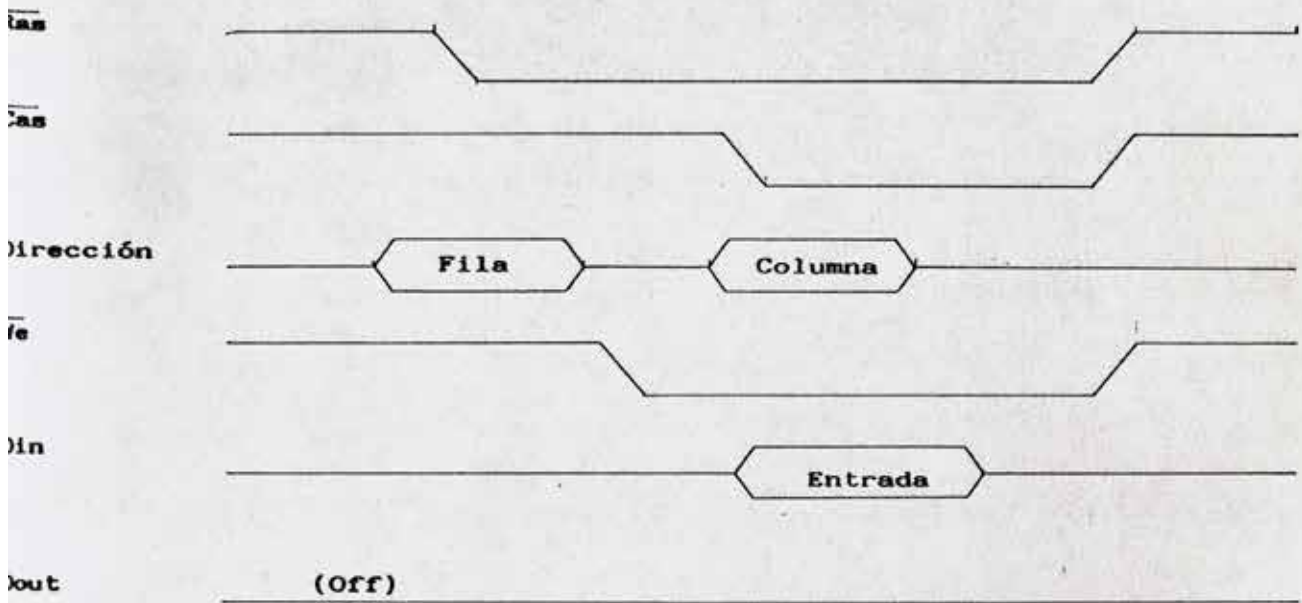


FIGURA No 11
CICLO DE ESCRITURA

3.7 FUENTE DE ALIMENTACION

La familia Z-80 requiere para su alimentación de 5 VDC regulados, lo mismo que el banco de memoria, y todos los circuitos anexos. Se puede utilizar el circuito que se muestra en la figura No 12.

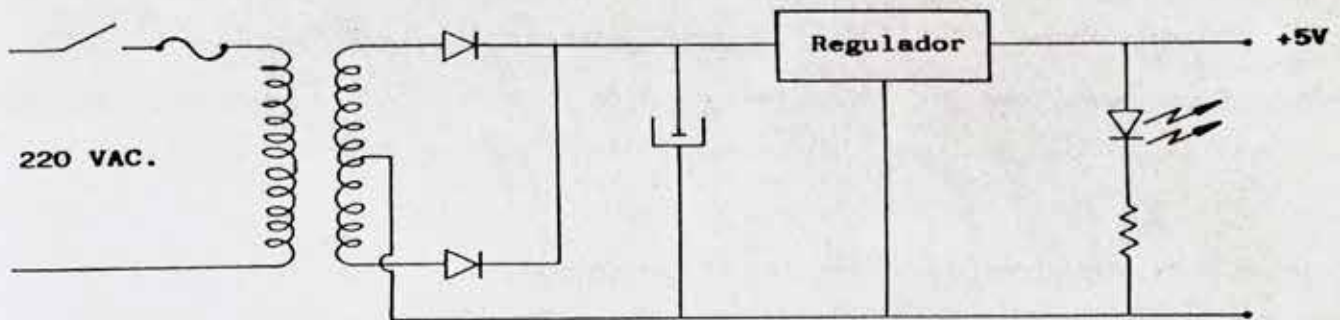


FIGURA N^o 12
FUENTE DE ALIMENTACION

En el capítulo V (HARDWARE), se realizarán los cálculos correspondientes al circuito anteriormente expuesto.

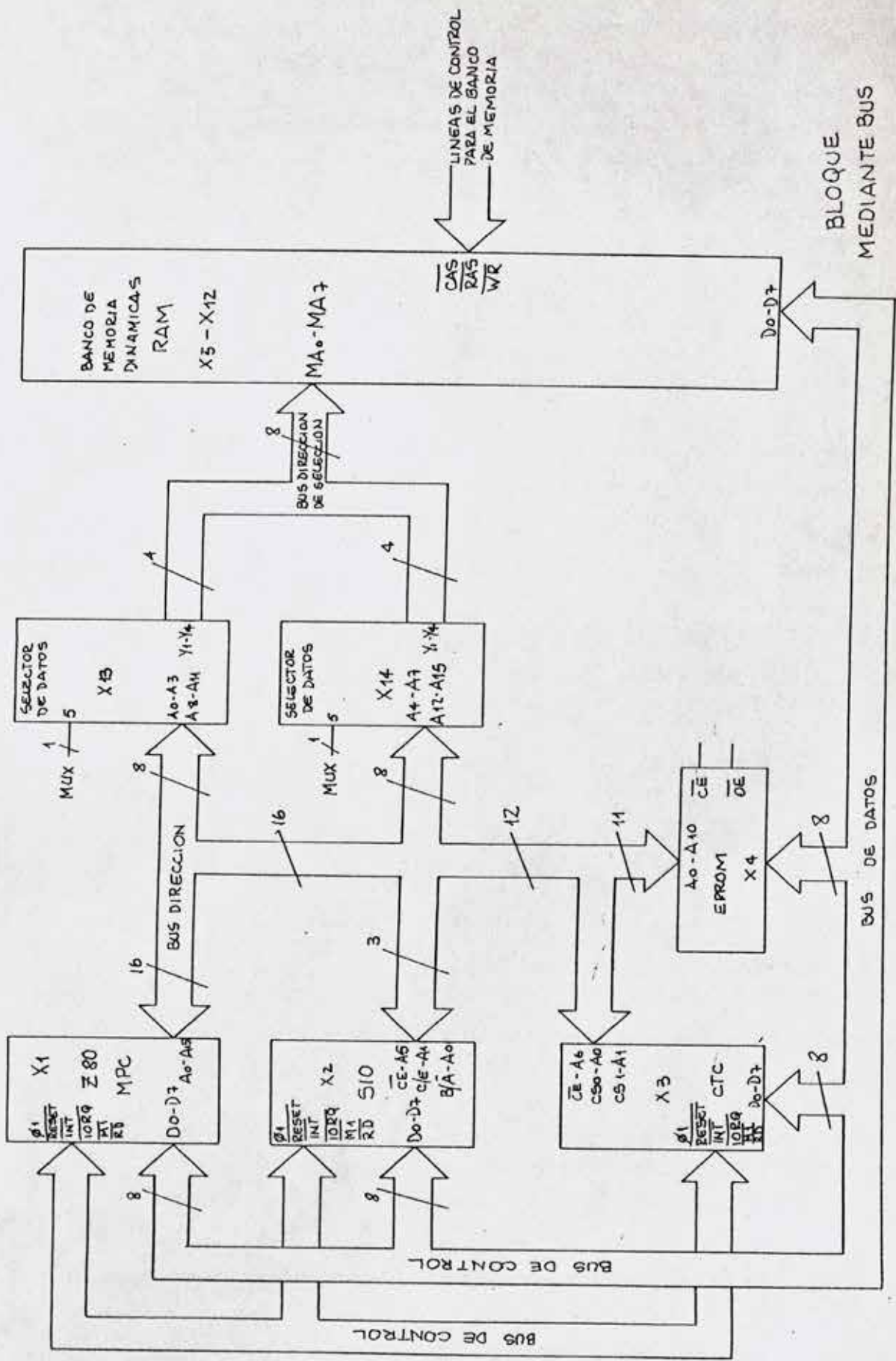
3.8 MONTAJE

Los elementos mencionados cumplen con todas las condiciones que requiere el sistema para su normal funcionamiento.

De acuerdo al plano general que se muestra del sistema en la figura N^o 13, el SIO está conectado con la CPU por medio de la dirección A5, y el CTC por medio de la dirección A6. Las líneas de control van desde la CPU hacia todas las compuertas. Las interrupciones que la CPU va a atender, son producidas únicamente en recepción y en transmisión, o sea en el SIO, El CTC genera úni

camente las señales de reloj para el SIO.

Más detalles del circuito mos
trado en la figura No 13, se indicaran en el Capí-
tulo No V.



BLOQUE MEDIANTE BUS

FIGURA NO 13

CAPITULO IV

" SOFTWARE "

4.1 DEFINICION DE SOFTWARE

Se denomina SOFTWARE a los programas de un computador, que le indica que debe hacer, como debe realizar lo pedido y sobre que Datos debe actuar para obtener los resultados deseados.

El microprocesaro Z-80, que se propone en este trabajo, evolucionó del Intel 8080, sus diseñadores lo crearon pensando en poder reemplazar a ese microprocesador. Por tanto, hicieron que su set de instrucciones, englobara las 78 instrucciones del 8080 y además le adicionaron 80 nuevas poderosas instrucciones, de las cuales se pueden destacar :

- Las de transferencias de Bloque.
- Las de Búsqueda.
- Las de intercambio
- Las nuevas posibilidades del I/O
- Las de saltos relativos
- Las de instrucciones Bit, Set, Reset.

Por otra parte, sus nuevos modos de direccionamiento, hacen que este ser de 158 instrucciones, se amplíe a un total superior a 600 instrucciones diferentes.

La CPU del Z-80 ejecuta las instrucciones recorriendo un conjunto muy preciso de unas pocas operaciones básicas. Estas consisten en:

- Lectura o escritura de memoria
- Lectura o escritura de dispositivos de I/O
- Acuse de recibo de interrupciones.

Todas las instrucciones son meramente una serie de estas operaciones básicas, cada una de las cuales puede durar entre tres y seis períodos de reloj para completarse, o bien pueden alargarse con el objeto de sincronizar la CPU con la velocidad de los dispositivos exteriores.

El conjunto de instrucciones del Z-80, se pueden clasificar en carga de 8 bit y carga de 16 bit.

- Carga de 8 bit

La finalidad de estas instrucciones es cargar un valor de ocho bit en un registro de la CPU, desde : otro registro, de un valor inmediato en la instrucción o una ubicación de la memoria. La otra mitad de este grupo de instrucciones almacena un valor de 8 bit desde un registro de la CPU o de un valor inmediato en otro registro de la CPU o ubicación de memoria. En todos los casos, la fuente permanece sin alterarse.

- Carga de 16 bit

Este grupo permite a cualquier registro par BC, DE, HL, SP, IX y IY ser cargados con 16 bit, haciendo uso de direccionamiento extendido.

También HL, IX, IY pueden ser transferidos al SP.

Por otra parte, los registros (BC, DE, HL, SP, IX, IY) pueden ser almacenados en la memoria, usando direccionamiento extendido.

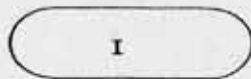
Las restantes instrucciones de este grupo, los registros BC, DE, HL ó AF son puegcos en el STACK o sacados desde él. El Stack es simplemente un área de memoria destinada a guardar temporalmente el PC, los Flags.

Por ultimo, se puede indicar que la característica principal de los computadores radica en la propiedad que tienen de poder cambiar de objetivo fácilmente ya que separan la maquina de los programas, o en otras palabras, el HARDWARE es independiente del SOFTWARE.

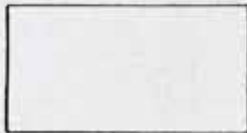
Esta independencia no implica autonomía, ya que para que un sistema funcione es indispensable la perfecta coordinación de hardware y software.

4.2 DIAGRAMAS DE FLUJO

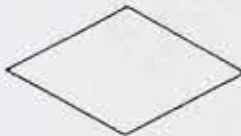
Las personas que trabajan en computación suelen utilizar diagramas de flujo, que es un método gráfico para mostrar la solución de un problema. A continuación se presentan algunos símbolos que se utilizan para confeccionar Diagramas de Flujo.



Indica el comienzo de un tr
bajo o tarea.



Indica una acción a realizar.



Indica que hay caminos altér
nativos de acuerdo con cier
tas condiciones.



Indica la secuencia de los
pasos.



Señala el término de una tarea.

A continuación se presenta -
ran los diferentes Diagramas de flujo, los cuales
mostrarán la manera de solucionar el problema plan
teado en este trabajo, el cual consiste en Recep -
cionar información de datos a 75 Baudios y transmi
tir dicha información posteriormente a 50 Baudios.

4.3

DIAGRAMA DE FLUJO GENERAL

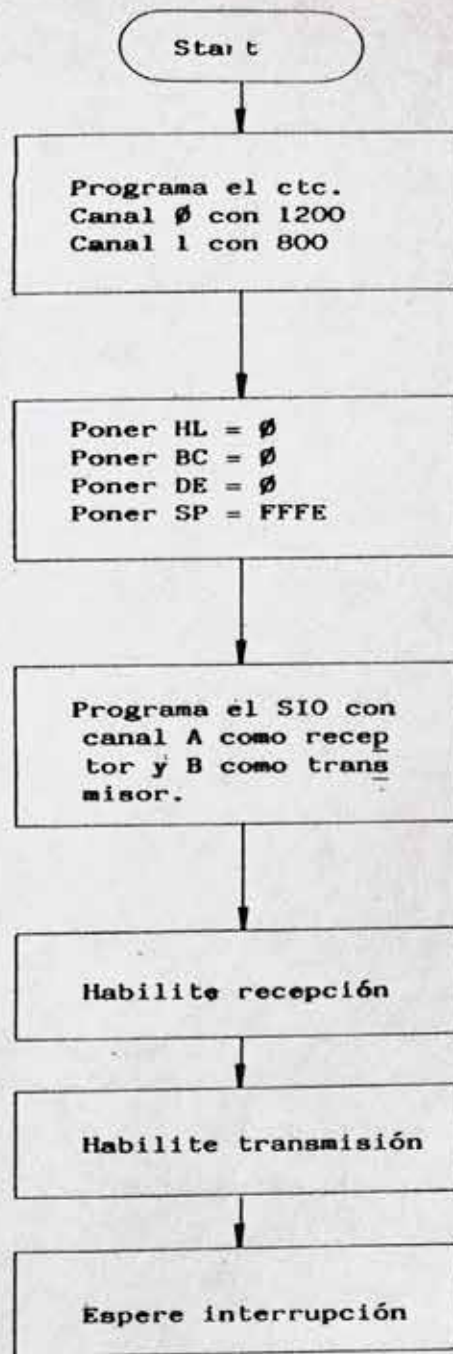


FIGURA No 1
DIAGRAMA DE FLUJO DEL SISTEMA

4.4

RUTINA DE TRANSMISION

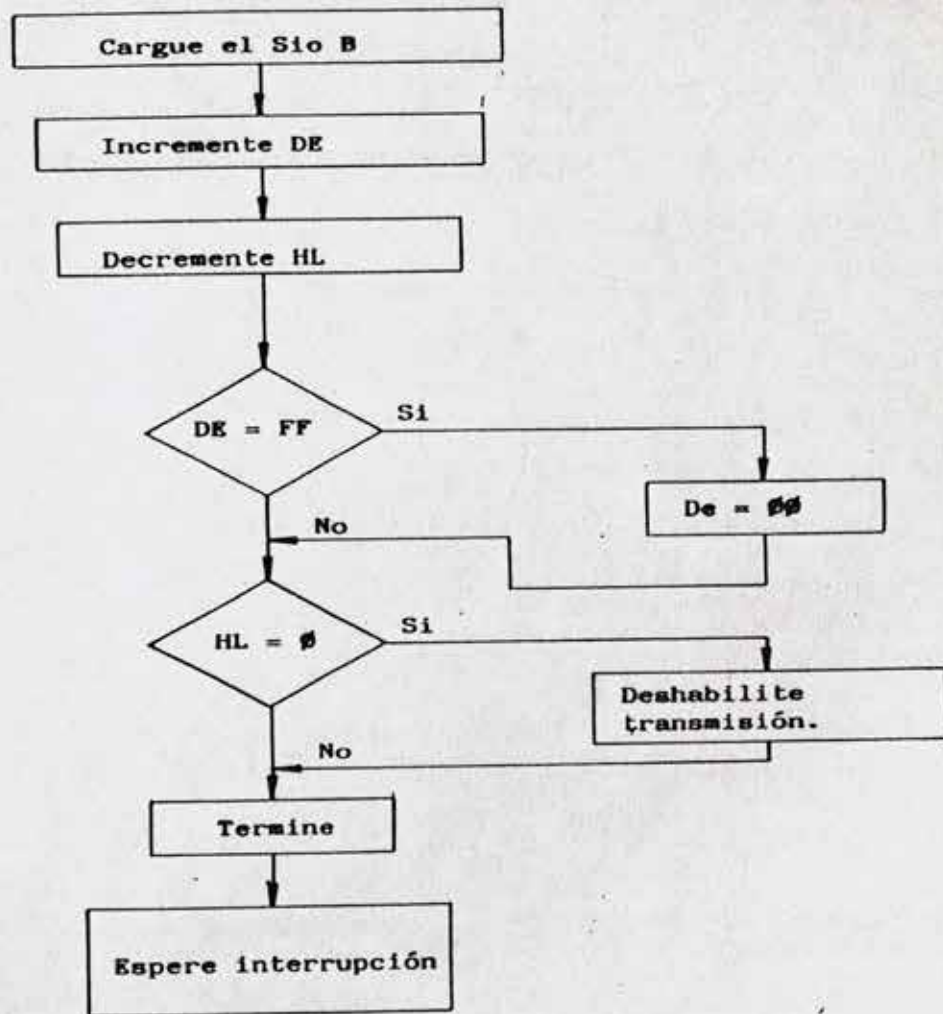


FIGURA No 2
DIAGRAMA DE FLUJO DE LA
RUTINA DE TRANSMISION

4.5

RUTINA DE RECEPCION

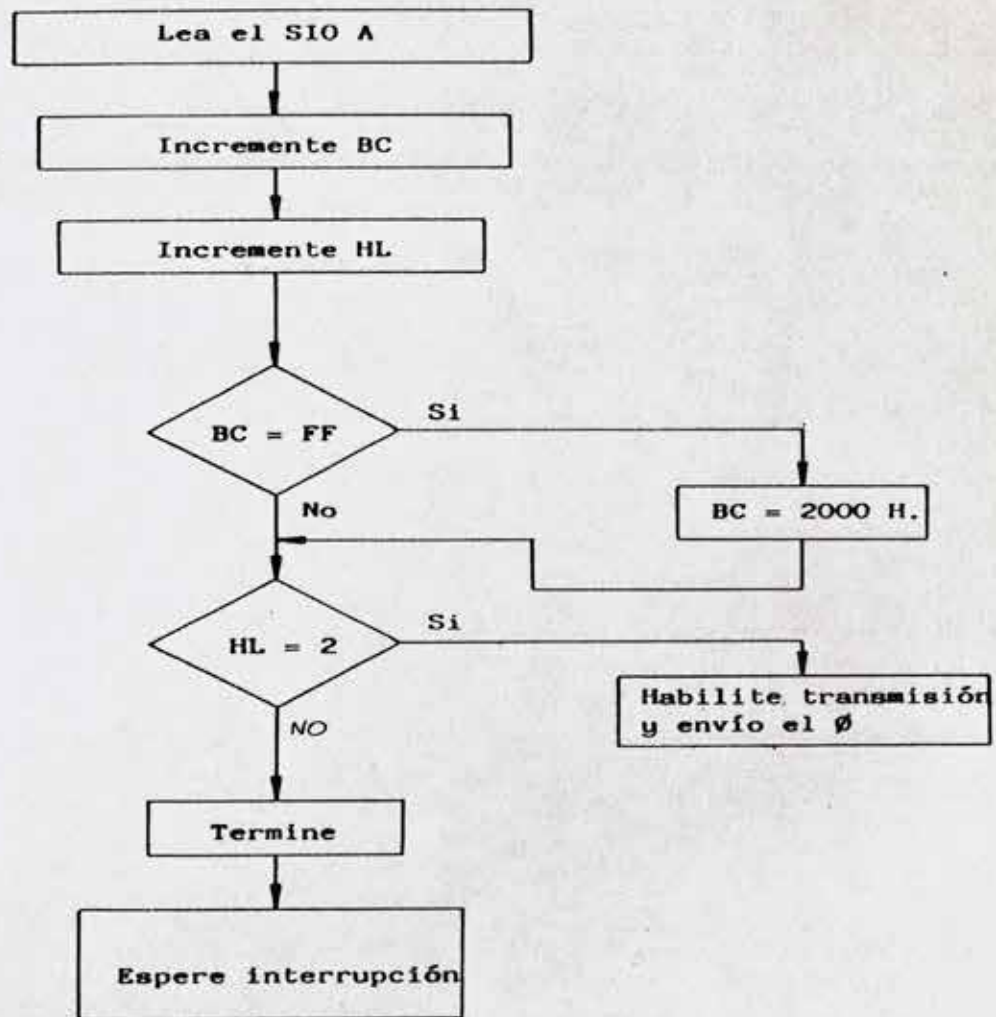


FIGURA No 3
DIAGRAMA DE FLUJO DE LA
RUTINA DE RECEPCION

4.6 RUTINA DE ERROR

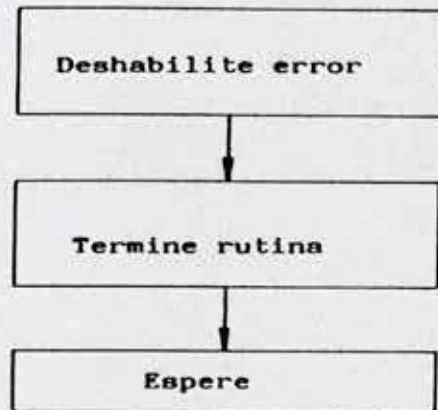


FIGURA No 4

DIAGRAMA DE FLUJO DE LA
RUTINA DE ERROR

4.7 PROGRAMACION DEL CTC

El CTC posee cuatro canales independientes y programables como temporizadores, o como contadores. Cada canal tiene la estructura interna que muestra la figura No 5.

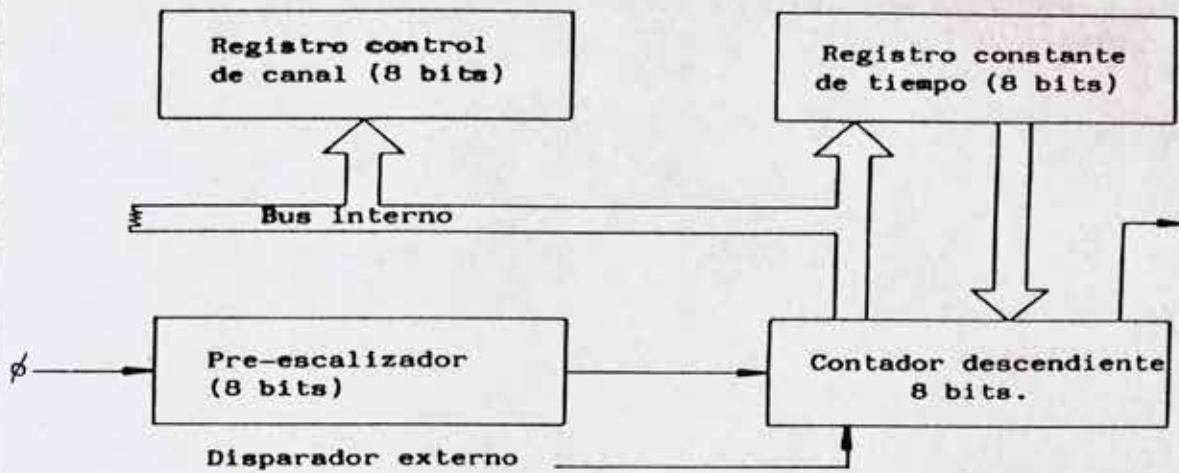


FIGURA No 5
DIAGRAMA EN BLOQUES PARA UN
CANAL DEL CTC

Cada canal consiste de dos registros y dos contadores, cuyas funciones son las siguientes:

- Registro constante de tiempo

Su capacidad es de 8 bits y es cargado por la CPU para inicializar y recargar el contador descendente, a cuenta cero.

- Registro control de canal

Su capacidad es de 8 bits y es cargado por la CPU para seleccionar el modo y condiciones de operación de cada canal.

- Contador descendente

Su capacidad es de 8 bits y es cargado por el registro constante de tiempo, bajo el control de programa y automáticamente a la cuenta cero.

- Pre-Escalizador

Su capacidad es de 8 bits. Es un contador que divide la señal de reloj, por 16 ó 256, para decrementar el contador descendente en el modo temporizador.

Antes que cualquier canal del CTC pueda empezar su operación, se carga en el registro una palabra control de canal y un dato en el registro constante de tiempo, deben ser escritos mediante la CPU. Si alguno de los 4 canales ha sido programado con el bit 7 de su palabra de control, para producir una interrupción, un vector de interrupción debe ser generado y escrito en la CTC.

Para cargar una palabra de control de canal, la CPU realiza una operación normal de escritura, para el control de entrada/salida direccionado y correspondiente al canal deseado del CTC. Los dos pines de entrada, CS0 y CS1, son usados para formar la dirección binaria de los cuatro canales.

Una palabra escrita en el CTC será interpretada como una palabra de control, si su bit \emptyset es "1". Los restantes bits tienen el siguiente significado :

D7	D6	D5	D4	D3	D2	D1	D \emptyset
Habilita interrupción.	Modo	Rango	Flanco	Disparo	Carga cte. de tiempo.	Reset	1

- BIT \emptyset

Este bit es siempre seleccionado a "1", indicando que esta palabra (la que se esta escribiendo) es la de control de canal, y será almacenada en el registro control de canal.

- BIT 1

Para detener la operación, temporizador o contador, se coloca en "1" en este bit, si es un " \emptyset ", la operación continúa.

- BIT 2

Si se fija en "1" la próxima palabra escrita en el canal, será interpretada como dirigida al registro constante de tiempo. Si se fija un " \emptyset ", no será esperada dicha palabra.

- BIT 3

Es utilizado solamente para el modo temporizador. Colocando un "1", el disparo externo es válido para comenzar la operación de tem

porización, después del flanco de subida del segundo período del ciclo de máquina siguiente a la carga del registro de constante de tiempo. Si se coloca un "Ø", la operación de temporización empieza en el flanco de subida del segundo período de ciclo de máquina siguiente a la carga del registro constante de tiempo.

- BIT 4

Si se fija un "1" en el modo contador, el flanco positivo decrementa el contador, en el modo temporizador, el flanco positivo comienza esta operación. Si en este bit se coloca un "Ø", es el flanco negativo el que controla la operación seleccionada.

- BIT 5

Esta definido unicamente en el modo temporizador, si se coloca un "1" el factor de pre-escalización será 256 y si se trata de un "Ø", el factor será 16.

- BIT 6

Aquí se selecciona uno de los dos modos de operación del CTC; con un "1" el modo contador y con un "Ø" el modo temporizador.

- BIT 7

Un "1" en este bit, habilita el canal para generar una interrupción cada vez que el contador llegue a cero. Un "Ø", deshabilita la interrupción.

Para cargar el vector de interrupción se realiza una operación normal de escritura, en la dirección del CTC, colocando el bit 0 en "0"; los bits uno y dos no son de interés, ya que el CTC automáticamente los inserta según el canal que interrumpa; los demás bits (3 al 7) los suministra el programador de acuerdo a sus necesidades.

La disposición del registro control de canal, para el vector de interrupción, es la siguiente:

D7	D6	D5	D4	D3	D2	D1	D0
V7	V6	V5	V4	V3	X	X	0
					0	0	canal 0
					0	1	canal 1
					1	0	canal 2
					1	1	canal 3

En el caso de este trabajo, no se utiliza el vector de interrupción en el CTC, debido a que las interrupciones que atenderá la CPU, son producidas únicamente en recepción y en transmisión, o sea en el CIO.

Las constantes de tiempo que se utilizaran en la programación del CTC, son : 94 (5EH), para 75 Baudios y 140 (8CH) para 50 baudios.

Para la programación del registro control de canal, se empleará el siguiente formato :

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	1	1	1
0				7 (hexadecimal)			

En el bit 7 en "0", porque no se necesita interrupción; el bit 6 en "0", para seleccionar el modo temporizador, el bit 5 en "0", para que el factor de pre-escalización sea 16; el bit 4 se coloca en 0 también, para que sea el flanco negativo el que controle la operación de temporización; el bit 3 en 0, indica que empieza a temporizar en el flanco de subida del segundo período del ciclo siguiente a la carga del registro constante de tiempo; el bit 2 en "1" para que la próxima palabra escrita en el canal, sea interpretada como la constante de tiempo; el bit 1 en "1", para que el canal continúe la operación después de cargar la constante de tiempo, se utiliza en conjunto con el bit 2 también fijado en "1"; el bit 0 siempre se coloca en "1" para indicar que la palabra escrita (07H) es la de control de canal y sea almacenada en el respectivo canal.

A continuación se dan las 8 instrucciones que programan el CTC, para que proporcione las señales de reloj al receptor y al transmisor del SIO, el canal A se utiliza como se describió anteriormente para la parte de recepción y el B para transmisión.

<u>NR</u>	<u>DIR.</u>	<u>COD/MAQ.</u>	<u>NEMONICO</u>	<u>COMENTARIOS</u>
01	0000	3707	LDA,7	Programa el registro control de canal del CTC, canal 0, para que funcione como timer y sin interrupciones.
02	0002	D3A0	OUT (A0H),A	Dirección de comando del canal 0 del CTC.
03	0004	3E5E	LD A,94	Cargue en el registro constante de tiempo del CTC canal 0, la constante 94, para lograr en su salida los 1200 pulsos por segundo, los cuales se necesitan para recibir datos a la velocidad de 75 baudios.
04	0006	D3A0	OUT(A0H),A	Dirección de comando del canal 0 del CTC.
05	0008	3E07	LD A,7	Programa el registro control de canal CTC, canal 1, para que funcione como timer y sin interrupciones.

06	000A	D3A1	OUT (A1H),A	Dirección de comando del canal 1 del CTC.
07	000C	3E8C	LD A,140	Carga en el registro constante de tiempo del CTC, canal 1, la constante 140, para lograr en su salida, 800 pulsos por segundo (50 baudios).
08	000E	D3A1	OUT(A1H),A	Dirección de comando del canal 1 del CTC.

A continuación se dan las siguientes 6 instrucciones que programan los registros, HL como contador de caracteres en la memoria, el registro BC como puntero de recepción y el DE como puntero de transmisión.

09	0010	210000	LD HL,0	Carga el registro HL, con 0 para inicializarlo como contador de palabras no transmitidas.
10	0013	010020	LD BC,2000H	Carga el registro BC con la dirección de inicialización del puntero de palabras recibidas, que es 2000H.
11	0016	110020	LD DE,2000H	Carga el registro DE con la dirección de

				inicialización de la próxima palabra a transmitir y que es 2000 H.
12	0019	31FEFF	LD SP,FFFEH	Carga el registro SP con la dirección FFFEH.
13	001C	3E01	LD A,1	Aquí se tiene los 8 bits de mayor peso de la dirección del vector de interrupción.
14	001E	ED47	LD I,A	Se coloca en el registro I (índice) los 8 bits de mayor peso del vector de interrupción.

4.8 PROGRAMACION DEL SIO (Serial Input/OUTPUT Controller)

El SIO es un periférico de la familia Z-80, el cual puede manejar formatos sincronicos y asincronicos. En este párrafo se explicará brevemente sus registros internos y por supuesto su programación para la Interface Recepción/Transmisión de Datos.

El SIO posee siete registros de escritura en cada canal, que deben ser programados separadamente para darle una mayor versatilidad. Para programar el registro de escritura WR0, se requiere sólo unbyte, mientras que para cualquier otro registro de escritura, se requieren dos bytes, el primero contiene los tres bits (D0-D2) que puntean el registro seleccionado y, el segundo byte, contie-

gistros de escritura, en su contenido (bit por bit)

	D7	D6	D5	D4	D3	D2	D1	d0
WR0	Code CRC	Code CRC	CMD 2	CMD 1	CMD 0	Punte ro	Punte ro	Punte- ro

Bits Punteros (D0-D2)

Se utilizan para puntear los demás registros, programados en el siguiente byte.

Bits de comandos (D3-D5)

Sirven para codificar los comandos básicos, así :

CMD 2	CMD1	CMD0	
0	0	0	Comando nulo.
0	0	1	Envíe, rompa transmisión
0	1	0	Reset. externo/estado de interrupciones.
0	1	1	Reset del canal
1	0	0	Habilitación de interrupción en el próximo carácter recibido.
1	0	1	Reset de interrupción de transmisión.
1	1	0	Reset de error
1	1	1	Retorno de interrupción (sólo en canal A).



Los comandos de código CRC se utilizan unicamente en el modo sincronico, lo cual esta fuera de este trabajo.

WR1

D7	D6	D5	D4	D3	D2	D1	D0
W/R E	W/R F	W/R T/R	Modo Int.	Modo Int.	Estado afecta	habilita interrup. TX	habilita interrup. externas

D0 Habilitación externa, es utilizado unicamente en el modo sincronico.

D1 Habilitación de interrupciones del transmisor.

D2 El estado afecta el vector. Si es puesto en "1" permite interrupciones vectorizada.

D3 y D4 Modos de interrupción en recepción, combinados de la siguiente forma :

D4 y D3

0	0	Deshabilitación de interrupción en recepción.
0	1	Interrupción en el primer caracter recibido.
1	0	Interrupción en todos los caracteres (con paridad)
1	1	Interrupción en todos los caracteres (sin paridad)

D5 - D7

Selección de funciones listo y espere (WAIT/Ready), se usan cuando la recepción y transmisión no se realiza por el bus de datos.

WR2

D7 D6 D5 D4 D3 D2 D1 D0

V7	V7	V5	V4	V3	V2	V1	V0
----	----	----	----	----	----	----	----

Registro del vector de interrupción, es utilizado unicamente en el canal B.

WR3

Este registro contiene los controles lógicos de recepción y sus parámetros.

D7 D6 D5 D4 D3 D2 D1 D0

B/C RX	B/C RX	Auto hab.	Caza fase	habilita CRC	carga busq.	carga sinc.	habilita RX
-----------	-----------	--------------	--------------	-----------------	----------------	----------------	----------------

D0

Si es "1" se habilita la recepción.

D1

Si es sincrónico, lee el primer carácter donde viene la palabra de sincronismo.

D2

Si es en el sincronismo SDL C, este modo causa mensaje con la dirección programada en WR6 y, otra dirección, será rechazada. Si dicha dirección no viene en el mensaje no habrá interrupción.

D3

Este bit activa el código CRC (usado en transferencia de datos en bloques).

D4

Buscador de fase; el SIO automáticamente se engancha después de un reset, o cuando ha perdido algún carácter.

D5

Auto habilitaciones. Si este bit es seleccionado, los pines \overline{DCD} y \overline{CTS} del SIO, se habilitarán como receptor y transmisor.

D6 - D7

Son los bits encargados de fijar la longitud de cada carácter, mediante la siguiente combinación :

D7	D6	
∅	∅	5 bits por carácter
∅	1	7 bits por carácter
1	∅	6 bits por carácter
1	1	8 bits por carácter

WR4

Contiene los bits de control para recepción/transmisión

D7	D6	D5	D4	D3	D2	D1	D∅
Rata CLK	Rata CLK	Modo sin.	Modo sin.	Bits de parada	Bits de parada	Paridad P/I	Paridad

D∅

Siempre que sea "1", revisará la paridad del carácter recibido, o lo generará en el transmitido.

D1

Paridad par ó impar, si es "1" ó "∅" respectivamente.

D2 y D3

Determinar el número de bits de parada, así :

D3 y D2

∅	∅	Modo sincronico
∅	1	1 bit de parada por caracter
1	∅	1 bit de parada por caracter
1	1	2 bits de parada por caracter

D4 y D5

Estos bits seleccionan varias opciones en el modo sincronico.

D6 y D7

Dan la relación del reloj con los datos, de la siguiente forma :

D7	D6	
∅	∅	x 1
∅	1	x 16
1	∅	x 32
1	1	x 64

WR5

Contiene los bits que afectan la transmisión.

D7	D6	D5	D4	D3	D2	D1	D0
DTR	B/C TX	B/C TX	Aborto	habilita TX	CRC/ SDLC	RTS	habilita CRC

Los únicos bits que afectan el modo asincronico son D3, D5 y D6.

D3

Habilita la transmisión.

D6 y D5

Programan la cantidad de bits que tiene cada palabra a transmitir , así:

D6	D5	
0	0	5 bits por caracter
0	1	7 bits por caracter
1	0	6 bits por caracter
1	1	8 bits por caracter

Los registros WR6 y WR7, se usan para el sincronismo en los diferentes modos sincronicos.

La programación de cada uno de los registros de escritura para la Interface, es la siguiente :

D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	1	0	0	WR0 canal A (04H) Puntero
0	1	0	0	1	0	0	0	WR4 canal A (48H) Palabra
0	0	0	0	0	1	0	0	WR0 canal B (04H) Puntero
0	1	0	0	1	0	0	0	WR4 canal B (48H) Palabra
0	0	0	0	0	0	1	0	WR0 canal B (02H) Puntero
1	0	0	1	0	0	0	0	WR2 canal B (90H) Palabra
0	0	0	0	0	0	0	1	WR0 canal A (01H) Puntero
0	0	0	0	1	0	0	0	WR1 canal A (08H) Palabra
0	0	0	0	0	0	0	1	WR0 canal B (01H) Puntero
0	0	0	0	0	1	1	0	WR1 canal B (06H) Palabra
0	0	0	0	0	0	1	1	WR0 canal A (03H) Puntero
0	0	0	0	0	0	0	1	WR3 canal A (01H) Palabra

0	0	0	0	0	0	1	1	WR0 canal B (03H) Puntero
0	0	0	0	0	0	0	0	WR3 canal B (00H) Palabra
0	0	0	0	0	1	0	1	WR0 canal A (05H) Puntero
0	0	0	0	0	0	0	0	WR5 canal A (00H) Palabra
0	0	0	0	0	1	0	1	WR0 canal B (05H) Puntero
0	0	0	0	1	0	0	0	WR5 canal B (08H) Palabra

A continuación se procederá a escribir las 48 instrucciones, que permitirán programar el SIO, el canal A como receptor y el canal B como transmisor. El programa sigue la misma secuencia que el especificado en el punto No 4.7 del presente capítulo.

15	0020	3E18	LD A,18H	Reset del canal A del SIO.
16	0022	D392	OUT(92H),A	Dirección de comando del canal A del SIO.
17	0024	3E10	LD A,10H	Reset externo, reset del estado de interrupciones en el registro WR0, canal A del SIO.
18	0026	D392	OUT(92H),A	Dirección de comando del canal A del SIO.
19	0028	3E18	LD A,18H	Reset del canal B del SIO.
20	002A	D393	OUT(93H),A	Dirección de comando del canal B del SIO.
21	002C	3E10	LD A,10H	Reset externo y reset del estado de interrupciones del canal B del SIO.

22	002E	D393	OUT(93H),A	Dirección de comando del canal B del SIO.
23	0030	3E02	LD A,2	Puntero de WR2 unicamente en el canal B del SIO, para programar los 8 bits menos significativos del vector de interrupción.
24	0032	D393	OUT(93H),A	Dirección de comando del canal B del SIO.
25	0034	3E90	LD A,90H	Vector de WR2 del canal B del SIO.
26	0036	D393	OUT(93H),A	Dirección de comando del canal B del SIO.
27	0038	3E14	LD A,14H	Puntero del registro WR4 del canal A del SIO, Reset externo y reset de interrupciones.
28	003A	D392	OUT(92H),A	Dirección de comando del canal A del SIO.
29	003C	3E48	LD A,48H	Registro WR4 del canal A del SIO programando el modo asincronico, la relación de reloj (16), uno y medio bits de <u>para</u> da.
30	003E	D392	OUT(92H),A	Dirección de comando del canal A del SIO.
31	0040	3E14	LD A,14H	Reset externo, reset de estado de interrupciones y puntero de WR4 del canal B

				del SIO.
32	0042	D393	OUT(93H),A	Dirección de comando del canal B del SIO.
33	0044	3E48	LD A,48H	Registro WR4 del canal B del SIO programando el modo asincrónico, la relación de reloj (16) y uno y medio bits de parada.
34	0046	D393	OUT(93H),A	Dirección de comando del canal B del SIO.
35	0048	3E23	LD A,23H	Modo de habilitación (en el próximo carácter recibido), puntero del registro WR3 del canal A del SIO.
36	004A	D392	OUT(92H),A	Dirección de comando del canal A del SIO.
37	004C	3E01	LD A,1H	Registro WR3 del canal A del SIO, habilitando para recepción el mismo canal.
38	004E	D392	OUT(92H),A	Dirección de comando del canal A del SIO.
39	0050	3E03	LD A,3	Puntero del registro WR3 del canal B del SIO.
40	0052	D393	OUT(93H),A	Dirección del canal B del SIO.
41	0054	3E00	LD A,0	Registro WR3 del canal B del SIO, habilitandolo

para no recibir.

- | | | | | |
|----|------|------|------------|---|
| 42 | 0056 | D393 | OUT(93H),A | Dirección de comando del canal B del SIO. |
| 43 | 0058 | 3D3D | LD A,3DH | Retorno de interrupción, puntero del registro WR5 del canal A del SIO. |
| 44 | 005A | D392 | OUT(92H),A | Dirección de comando del canal A del SIO. |
| 45 | 005C | 3E00 | LD A,0 | Registro WR5 del canal A del SIO, habilitandolo para no transmitir. |
| 46 | 005E | D392 | OUT(92H),A | Dirección de comando del canal A del SIO. |
| 47 | 0060 | 3E05 | LD A,5 | Puntero del registro WR5 del canal B del SIO. |
| 48 | 0062 | D393 | OUT(93H),A | Dirección de comando del canal B del SIO. |
| 49 | 0064 | 3E08 | LD A,8 | Habilitación del canal B del SIO para transmitir y su formato. |
| 50 | 0066 | D393 | OUT(93H),A | Dirección de comando del canal B del SIO. |
| 51 | 0068 | 3E11 | LD A,11H | Reset externo, reset de estado de interrupciones, puntero del registro WR1 canal A del SIO. |
| 52 | 006A | D392 | OUT(92H),A | Dirección de comando del canal A del SIO. |

53	006C	3E08	LD A,8	Registro WR1 del canal A del SIO, programando el modo de interrupción en el primer caracter recibido, deshabilitando las entradas externas.
54	006E	D392	OUT(92H),A	Dirección de comando del canal A del SIO.
55	0070	3E11	LD A,11H	Reset externo, reset de estado de interrupciones, puntero del registro WR1 del canal B del SIO.
56	0072	D392	OUT(93H),A	Dirección de comando del canal B del SIO.
57	0074	3E06	LD A,6	Registro WR1 del canal B del SIO, habilitando la interrupción de transmisión. El estado afecta el vector de interrupciones.
58	0076	D393	OUT(93H),A	Dirección de comando del canal B del SIO.
59	0078	ED5E	IM2	Modo de interrupción de la CPU, en la cual el vector es variable.
60	007A	FB	EI	Habilita interrupción en la CPU.
61	007B	18FE	Loop JR Loop	Salto relativo a Loop, para que no se pierda mientras espera una interrupción.

62 007D 18FC JRLoop Salto relativo a Loop.

Las siguientes 20 instrucciones forman la rutina de recepción.

63 007F DB90 RUTA IN A,(90H) Colocar en el acumulador el dato recibido en el canal A del SIO.

64 0081 02 LD BC,A Llevar el dato recibido a la dirección que apunta el registro BC.

65 0082 03 INC BC Aumenta en 1 el puntero BC en cuya dirección se guardará el próximo carácter recibido.

66 0083 23 INC;HL Aumenta en 1 el registro HL para significar que hay una nueva palabra que no ha sido transmitida.

67 0084 78 LD A,B Coloca en el acumulador el valor del registro B para revisar si ha llegado al tope superior de la memoria.

68 0085 C601 ADD A,1 Realiza la comparación del registro B con FF o sea el tope de la memoria.

69 0087 280E JR Z, ORO Si el registro B es FF hace un salto relativo a ORO, sino continúa.

70	0089	7C	LD A,H	Coloca en el acumulador el valor del registro H, para comparar el registro HL y ver si existen dos caracteres para que comience a transmitir.
71	008A	C600	ADD A,0	Adiciona 0 al acumulador para que varie el registro F (Flag), para realizar la comparación y saltar.
72	008C	2802	JR Z,Lueg	Si el bit Z del registro F es uno, salta a LUEG, de lo contrario continúa. Para que esto suceda el registro H debe ser 0.
73	008E	180A	JR ENE	Salta a terminación de rutina.
74	0090	7D	LUEG LD A,L	Coloca el registro L en el acumulador para ver si el registro HL es igual a 2 (en las instrucciones 70, 71 y 72 comparó el registro H, ahora compara el registro L).
75	0091	CEFE	ADD A,0FEH	Adiciona 0FEH al registro L (que está en el acumulador), para ver si es igual a 2 y poder comenzar a transmitir.
76	0093	280C	JR Z,RUTC	Si el bit Z en el registro F es 1 salta a RUTC, de lo contrario continúa.

77	0095	1803	JR ENE	Salta a fin de rutina.
78	0097	010020	ORO LD BC,2000H	Carga el registro (puntero) BC con la dirección 2000H, porque ha llegado al tope de la memoria.
79	009A	3E20	ENE LDA,20H	Comando del registro WR0 del canal A del SIO para que interrumpa en el próximo carácter recibido.
80	009C	D392	OUT(92H),A	Dirección de comando del canal A del SIO.
81	009E	FB	EI	Habilita interrupciones.
82	009F	ED4D	RETI	Retorne de interrupción.

Con las siguientes siete instrucciones el canal B del SIO comienza a transmitir.

83	00A1	3E01	RUTC-LDA,1	Puntero del registro WR1 del canal B del SIO.
84	00A3	D393	OUT(93H),A	Dirección de comando del canal B del SIO.
85	00A5	3E06	LD A,6	Habilita el canal B del SIO para que pueda transmitir e interrumpe la CPU.
86	00A7	D393	OUT(93H),A	Dirección de comando del canal B del SIO.

87	00A9	3E00	LD A,0	Primer caracter a ser enviado por el SIO:
88	00AB	D391	OUT(91H),A	Dirección de dato del canal B del SIO.
89	00AD	18EB	JR ENE	Salta a fin de rutina.

Las siguientes 20 instrucciones forman la rutina de transmisión :

90	00AF	1A	RUIB LD A,(DE)	Coloca en el acumulador el próximo dato a ser transmitido y que se encuentra en la dirección que apunta el registro DE.
91	00B0	E61F	AND1F	Coloca los 3 bits de mayor peso del dato que está en el acumulador en ceros, para que el SIO acepte la palabra a transmitir.
92	00B2	D391	OUT(91H),A	Dirección de dato del canal B del SIO.
93	00B4	13	INC DE	Incrementa el registro DE para apuntar la dirección en donde va a estar el próximo caracter que será transmitido.
94	00B5	2B	DEC HL	Decrementa el registro HL para hacer notar que hay una palabra menos para ser enviada.

95	00B6	7A	LD A,D	Carga el acumulador con registro D para verificar si ha llegado al tope de la memoria.
96	00B7	C601	ADD A,1	Agrega 1 para ver si el registro D ha llegado a FF.
97	00B9	2806	JRZ,ARA	Si el bit Z del registro F es una, salta a ARA, de lo contrario continúa.
98	00BB	7D	LD A,L	Carga el acumulador con el registro L para comparar el registro por HL con 0.
99	00BC	84	ADD A,H	Adiciona al acumulador el registro H.
100	00BD	2803	JRZ,APA	Si el registro HL es 0 va a la rutina de pare, de lo contrario continúa.
101	00BF	FB	EI	Habilita interrupción.
102	00C0	ED4D	RETI	Retorne de interrupción.
103	00C2	CE00	APA ADC A,0	Adiciona con carry 0 al acumulador para comparar el registro HL con 0
104	00C4	2818	JRZ,INI	Si el bit Z del registro F es uno, va a la rutina de pare, de lo contrario continúa.
105	00C6	FB	EI	Habilita interrupción.
106	00C7	ED4D	RETI	Retorne interrupción.

107 00C9 110020 ARA LD DE,2000H Carga el puntero DE con la dirección 2000H porque llegó al tope de la memoria.

108 00CC FB EI Habilita interrupción.

109 00CD ED4D RETI Retorne la interrupción.

Las siguientes 8 instrucciones forman la rutina de error :

110 00CF 3E30 LD A,30H Deshabilita errores de sobreflujo.

111 00D1 D392 OUT(92H),A Dirección de comando del canal A del SIO.

112 00D3 D393 OUT(93H),A Dirección de comando del canal B del SIO.

113 00D5 3E10 LD A,10H Deshabilita errores de formato.

114 00D7 D392 OUT(92H),A Dirección de comando del canal A del SIO.

115 00D9 D393 OUT(93H),A Dirección de comando del canal B del SIO.

116	00DB	FB	EI	Habilita interrupción.
117	00DC	ED4D	RETI	Retorne de interrupción.

Las siguientes 6 instrucciones hacen que pare de transmitir el canal B del SIO :

118	00DE	3E01	INI LDA,1	Puntero del registro WRI del canal B del SIO.
119	00E0	D393	OUT(93H),A	Dirección de comando del canal B del SIO.
120	00E2	3E04	LD A,4	Deshabilita la transmisión del canal B del SIO.
121	00E4	D393	OUT(93H),A	Dirección de comando del canal B del SIO.
122	00E6	FB	EI	Habilita interrupción.
123	00E7	ED4D	RETI	Retorne de interrupción.

TABLA DE VECTORES

0190	AF	Vector de transmisión
0191	00	
0194	CF	Vector de error
0195	00	
0196	CF	Vector de error
0197	00	
019C	7F	Vector de recepción
019D	00	

CAPITULO V

" HARDWARE "

5.1 DESCRIPCION EXTERNA Z-80

En el presente capítulo se describirá las conexiones entre los elementos del circuito, como se indica en el plano general del sistema el cual se ha desarrollado teóricamente (figura No2)

En los 40 pines de la CPU Z-80 (figura No 3, X1) se distinguen los siguientes :

a) Buses

Tiene un bus de direcciones (A0-A15) de 16 bit que le permite direccionar 64 Kbyte. Cuando se direccionan dispositivos de entrada/salida, las 8 líneas menos significativas del bus de dirección (A0-A7), mantiene la dirección del dispositivo I/O, por lo tanto 256 dispositivos del I/O pueden ser comandados por la CPU.

El bus de datos está comprendido por 8 líneas (D0-D7), este bus es bidireccional

permitiendo transferencia de datos a la CPU y desde ella.

b) Señales de control de bus

BUS RQ

Esta señal de entrada es activada por algún dispositivo externo que desea ganar el control de los buses.

BUS AK

La CPU responde con una señal de reconocimiento Bus AK, indicando al dispositivo externo que puede disponer de los buses.

c) Señales de memoria

MREQ, RD, WR y RFSH

La primera MREQ, requerimiento de memoria, cuando está activa, indica que el bus de direcciones mantiene una dirección de memoria válida. Las señales RD y WR indican si la operación de memoria es de lectura o escritura.

Cuando MREQ y RD ambas están activas, se está ejecutando una operación de lectura en la memoria.

La señal RFSH y MREQ identifican un ciclo de refresco para memoria dinámicas.

d) Señales de Entrada/salida (I/O)

La señal IORQ, requerimiento de I/O cuando esta señal está activa, los 8 bit menos significativos del bus de dirección, mantiene la dirección de un dispositivo de I/O.

La señal IORQ junto RD ó WR, identifican si la operación es de entrada ó salida.

También, esta señal junto con M1 son generadas por la CPU para reconocer un requerimiento de interrupción.

e) Señales de interrupción

NMI

Esta es una señal de entrada que cuando se activa específica que una interrupción de tipo no enmascarada debe ser ejecutada. La CPU reconocerá esta interrupción al final de una instrucción.

Cuando la CPU, reconoce esta interrupción, realiza las siguientes acciones :

- El contenido del PC es salvado en el Stack de la memoria.

- La CPU transfiere el control a la dirección
0066H

INT'

Esta señal de entrada es el medio de interrupción principal, que permite a los dispositivos externos provocar interrupción.

f) Otras Señales

RESET

Cuando esta entrada es conducida a cero la siguiente acción ocurre:

- El Flag de habilitación de interrupción es desactivado.
- El registro I=00H.
- R=00H
- El bus de dirección va a alta impedancia.
- El bus de datos se coloca en alta impedancia.
- Todas las señales de salida de control van al estado inactivo.

WAIT

Es una señal de entrada asociada

a memorias lentas o dispositivos I/O. Cuando está activa la CPU no hace nada y espera.

HALT

Esta señal de salida, indica que la instrucción HALT ha sido ejecutada.

g) Especificaciones Eléctricas

- Todas las entradas y salidas son TTL
- Utiliza una fuente de poder de 5 Volts
- Consume un máximo de 200 miliamperes.

5.2 IMPLEMENTACION DEL SISTEMA (figura No 2)

El sistema como ya se ha dicho, está comandado por una CPU de la familia Z-80, numerada como X1 la cual está interconectada con el SIO (X2) a través de todas sus líneas de datos y control para así poderlo programar. La CPU se comunica con el SIO mediante su dirección A5 conectada a su entrada \overline{CE} (habilitador del SIO). Como líneas de control se conectan las direcciones A0 y A1 que en el SIO corresponden a \overline{BA} y \overline{CD} ; también se conectan las líneas correspondientes \overline{INT} , \overline{IORQ} , \overline{MI} y \overline{RD} , que se utilizan para que el SIO pueda ser atendido por la CPU.

El generador de reloj ó CTC (X3) está conectado con la CPU mediante las líneas del bus de datos y de control tal como con el SIO, empleando para su habilitación la línea de dirección

A6 (\overline{CE}), las líneas de control correspondientes a CS0 y CS1 están comandadas por A0 y A1 (líneas de direccionamiento), permitiendo la selección de canal. El CTC (X3) está interconectado con el SIO (X2) por medio de las líneas ZC0 y ZC1, que entregan las señales de reloj de 50 y 75 baudios respectivamente a los pines \overline{RXCA} y \overline{RXTXCB} .

El reloj maestro del sistema está conformado por un cristal de 3,58 MHz, conectado a dos inversores (7404), un terminal al pin 10 y el otro al 13, conectados además en paralelo con los inversores están dos resistencias de 1 K Ω cada una y entre el pin 13 de un inversor y tierra un condensador de 100 pF, esta frecuencia de 3,58 MHz es introducida a un flip-flop tipo D (7474) en su pin 3 de entrada de reloj; el flip flop está conectado como divisor de frecuencia por dos al unir sus terminales \overline{Q} y D (pines 6 y 2), y el preset y clear (pines 1 y 4) están unidos a Vcc para que esté siempre habilitado, en la salida Q (pin 5) se tiene una frecuencia de 1,79 MHz, la cual se usa como reloj de la CPU (pin 6 de X1), de la SIO (pin 20 de X2) y CTC (pin 15 de X3).

Como entradas de reloj de los canales del CTC (pines 23 CLK0 y 22 CLK1 de X3) se emplea la misma frecuencia del reloj maestro; el canal 0 recibe esta frecuencia e internamente la divide, primero por 16 como pre-escalizador y, luego por 94, para entregarle al SIO 1200 pulsos por la entrada \overline{RXCA} (pin 13 de X2) a través de ZC0 (pin 7 de X3); el canal 1 del CTC (pin 22 de X3) también recibe la frecuencia de 1,79 MHz y la divide internamente por 16 y por 140 para que posteriormente entregársela al SIO por medio de ZC1 (pin 8 de X3), 800 pulsos en su entrada \overline{RXTXCB} (pin 27 de

X2). El SIO por programa divide dichos pulsos por 16 para dar las velocidades de 75 y 50 baudios respectivamente.

5.3 INTERFACE IN/OUT

La señal de entrada del canal A del SIO, el cual está como receptor, \overline{RXDA} (pin 12 de X2) tiene niveles de TTL, los cuales se generan así : la señal que llega por la línea se conecta con el diodo de entrada LED para así poder visualizar la señal de recepción, que posteriormente pasa al diodo optoacoplador TL115 (X20) por los pines 1 y 2; en el colector del transistor de dicho optoacoplador (pin 5) se toma una muestra de la señal, la cual aparece invertida en dicho punto por lo que se pasa a través de uno de los inversores de X18 (pines 8 y 9); como estos niveles son TTL se envían directamente al pin 12 de X2. La señal de salida del canal B del SIO \overline{TXDB} (pin 26 de X2), el cual está como transmisor, no alcanza los 30 miliamperes que se necesitan para lograr los niveles de comunicación en serie, por lo tanto se acopla a la base del transistor C2481; este transistor sirve como interface de salida, en el colector de dicho transistor se coloca una resistencia en serie con la señal de salida de 100 ohms, la cual limita la corriente que pasa por el dispositivo, ya que este trabaja en las regiones de corte y saturación; en configuración emisor común. Para visualizar la señal de salida a 50 baudios se utiliza un LED en serie con el colector, y además se encuentra en paralelo con una Resistencia de 100ohms

5.4 BANCO DE MEMORIA

Se tiene un banco de memoria RAM de 64 Kbytes, de las cuales se emplean los 8 primeros Kbytes para la memoria ROM, se realiza un decodificador basado en compuertas NAND, NOR e inversores, así de esta manera para decodificar los 8 primeros Kbytes de memoria se utilizan las línea de dirección A13, A14 y A15, del bus de direcciones de la CPU. Estas direcciones llegan a las entradas (pines 9, 10 y 11) de una compuerta NOR (X19); esta compuerta coloca un nivel 1 en su salida (pin 8) únicamente cuando todas sus entradas son ceros; a través de uno de los inversores de X18 (pines 1 y 2) se hace pasar el nivel "1" logrado en la salida de la compuerta NOR, obteniéndose así un nivel "0", o sea que este nivel bajo se logra siempre que en el bus de direcciones de la CPU se tenga una dirección menor que 8 Kbytes. la señal conseguida a la salida del inversor mencionado (nivel cero), se conecta directamente a la entrada \overline{CE} de la memoria ROM. Adicionalmente a este habilitador y, para evitar que la CPU lea simultáneamente las memorias RAM y ROM, se utiliza la entrada de la memoria ROM, \overline{OE} (X4), con un nivel cero el cual se logra haciendo pasar las señales \overline{RD} (pin 21 de X1) y \overline{MREQ} (pin 19 de X1) a través de una de las compuertas de X19 y de un inversor, (logrado con una compuerta NAND (7400) X17, pines 8, 9 y 10).

Para habilitar los 56 Kbytes restantes del banco de memoria, correspondiente a la RAM, se emplea un arreglo con las mismas direcciones A13, A14 y A15 y la misma compuerta NOR utilizada en el direccionamiento de la memoria ROM, el arreglo corresponde en la salida de la compuerta NOR se obtiene un nivel cero, siempre que en sus entradas exista algún nivel uno; pasando dicho nivel por uno de los inversores de X18 (pines 1 y 2) logran do con ello un nivel alto el cual es el encargado de habilitar el banco de memoria RAM, el cual depende

del pulso de refresco que proviene del Pin 28 (\overline{RFSH}) de la CPU, hacia el pin 12 de la compuerta NOR X17.

El banco de memoria esta formado por 8 integrados, de 64 Kbytes por 1, numerados como X5, X6, X7, X8, X9, X10, X11 y X12. Como dichas memorias son dinámicas se deben direccionar con tres señales básicas llamadas, RAS (selección de fila de dirección), MUX (multiflexaje) y CAS (selección de columna de dirección). En la figura No 1 se ilustra en forma teórica, como se deben generar dichas señales. Además, en la figura No 4, se observa un diagrama en bloque de dichas memorias.

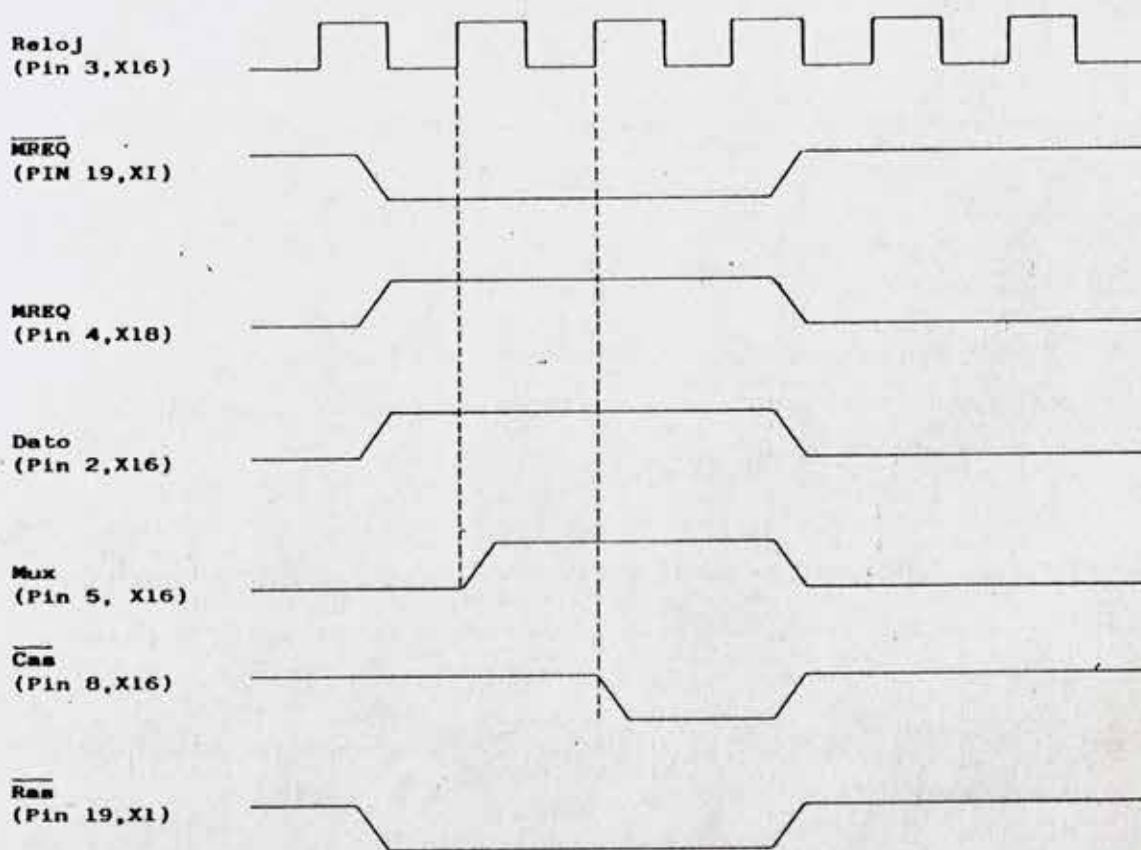


FIGURA No 1
GRAFICO DE LAS SEÑALES

La señal $\overline{\text{MREQ}}$ activa en bajo, la entrega directamente la CPU (X1) por su pín 19; mediante el empleo de uno de los inversores de X18 (pines 3 y 4) se obtiene la señal MREQ que será un nivel alto el cual se entrega a las entradas CLEAR de los flip-flop tipo D (X16) por los pines 1 y 13 para que estos operen libremente y de acuerdo a la señal de reloj de todo el sistema que se entrega a los flip-flop (X16) por sus pines 3 y 11. Por otra parte se logra un nivel alto en el pín 06 de X18 siempre que la CPU necesite la memoria RAM; este nivel es entregado al flip-flop de X16 por su pín 2, el nivel lógico presente en el pín 2 pasará a la salida 5 del mismo Q en el momento en que se produzcan el siguiente flanco ascendente de reloj y que va a corresponder a la señal MUX; observándose que el pín 12 de X16 queda en nivel alto, por lo que en el próximo flanco de subida de reloj el nivel presente en el pín 8 ($\overline{\text{Q}}$, X16) bajará produciéndose así la señal CAS. De acuerdo al plano general del sistema, se observa que el RAS es función directa de la señal $\overline{\text{MREQ}}$ deduciendo de esto que la primera sección de dirección que se da (8 primeros bits) corresponde a la sección de fila (RAS), posteriormente se produce el multiflexado (MUX) y por último se da la sección de columna (CAS). Los flip-flop mantienen sus estados mediante el tiempo en que la señal $\overline{\text{MREQ}}$ esté en bajo y, cuando cambie de estado, los flip-flop adoptarán un nivel bajo en sus entradas CLEAR regresando a \emptyset .

El direccionamiento de la memoria RAM se produce de la siguiente forma : los multiflexores X13 y X14 disponen cada uno de 8 entradas de dirección por cuatro de salida; estos dos paquetes de dirección son función de la señal MUX, cuando esta se encuentre en nivel cero los multiflexores

producirán una salida en función de las direcciones A0 hasta A7 y, cuando MUX sea uno, las salidas serán función de las direcciones A8 hasta A15. La señal MUX les llega a los multiflexores por sus pines 1 y, de otra parte la activación de estos dos chips es permanente dado que sus pines 15 están conectados a tierra.

Las 8 memorias RAM dinámicas tienen conectadas en paralelo las direcciones provenientes de los multiflexores marcados como MA0-MA7, en los pines 5, 7, 6, 11, 12, 13, 9, 10 de X5 a X12 respectivamente. Además están conectados el CAS por el pin 15, el RAS por el 4 y \overline{WE} por el 3, de las memorias, \overline{WE} llega directamente de la CPU (\overline{WR} de X1) y es la señal que necesita la RAM para un ciclo de escritura ó de lectura y, es activada en nivel bajo. Las salidas Din (pin 2) y Dout (pin 14) de las RAM se unieron para poderlas conectar al bus de datos de la CPU debido a que estas funciones nunca son simultáneas.

La memoria ROM (EPROM) se conecta desde las líneas A0 hasta A10 del bus de direcciones de la CPU, y además al bus de datos del sistema. El pin Vpp (21 de X4) se conecta a Vcc.

5.5 FUENTE DE ALIMENTACION

El sistema requiere de una fuente de alimentación que proporcione 5 VDC. Por lo tanto se diseñara una fuente de tensión con un rectificador de onda completa, como se especificó en el capítulo III, en su punto No 3.7. La fuente será suficiente para entregar 0,5 A y con un rizado de 5%.

$$R_L = \frac{10 \text{ VDC}}{0,5 \text{ A}} = 20$$

$$P_{RL} = V \cdot I = 10V \cdot 0,5A = 5W$$

El factor de rizado esta expresado por la ecuación.

$$R = \frac{1}{2\sqrt{3}} \cdot \frac{1}{F \cdot R_L \cdot C} \cdot 100\%$$

Despejando C se tiene.

$$C = \frac{1}{2\sqrt{3}} \cdot \frac{1}{F \cdot R_L \cdot R} \cdot 100$$

Por tratarse de un rectificador de onda completa la frecuencia es de 100 Hz.

$$C = \frac{100}{2\sqrt{3} \cdot 100 \cdot 5 \cdot 20} = 2.886 \text{ uF}$$

Este valor de condensador es el mínimo que se debe utilizar, para asegurar un rizado de 5%. Para efecto de este trabajo se puede utilizar un condensador de 4.700uF. 25 VDC.

-Calculo del voltaje del transformador.

$$V_o = V_{\text{máx}} \cdot \left[1 - \frac{1}{2 \cdot F \cdot R_L \cdot C} \right]$$

$$V_{\text{máx}} = \frac{V_o}{1 - \frac{1}{2 \cdot F \cdot R_L \cdot C}}$$

$$V_{\text{máx}} = \frac{10}{1 - \frac{1}{2 \cdot 100 \cdot 20 \cdot 4700 \mu\text{F}}} = \frac{10}{1 - 0,053} = 10,56 \text{ V.}$$

$$V_{\text{efect.}} = V_{\text{máx}} \cdot 0,707 = 10,56 \text{ V} \cdot 0,707 = 7,47 \text{ V.}$$

- Cálculo de las características del diodo y potencia del transformador.

$$P_T = P_{D1} + P_{D2} + P_o + P_{PT}$$

Donde:

P_T = Potencia del transformador

P_o = Potencia de salida.

P_D = Potencia de pérdidas en los diodos.

P_{PT} = Potencia de pérdidas del transformador, se considera despreciable.

Se tiene que:

$$P_{D1} = P_{D2} = \frac{0,5 \text{ A} \cdot 0,7 \text{ V.}}{2} = 175 \text{ mW}$$

ya que cada diodo debe cooperar con la mitad de la corriente de salida.

$$P_o = 10 \text{ V} \cdot 0,5 \text{ A} = 5 \text{ WATTS.}$$

Por lo tanto

$$P_T = P_{D1} + P_{D2} + P_o = 175 \text{ mW} + 175 \text{ mW} + 5 \text{ W.} =$$

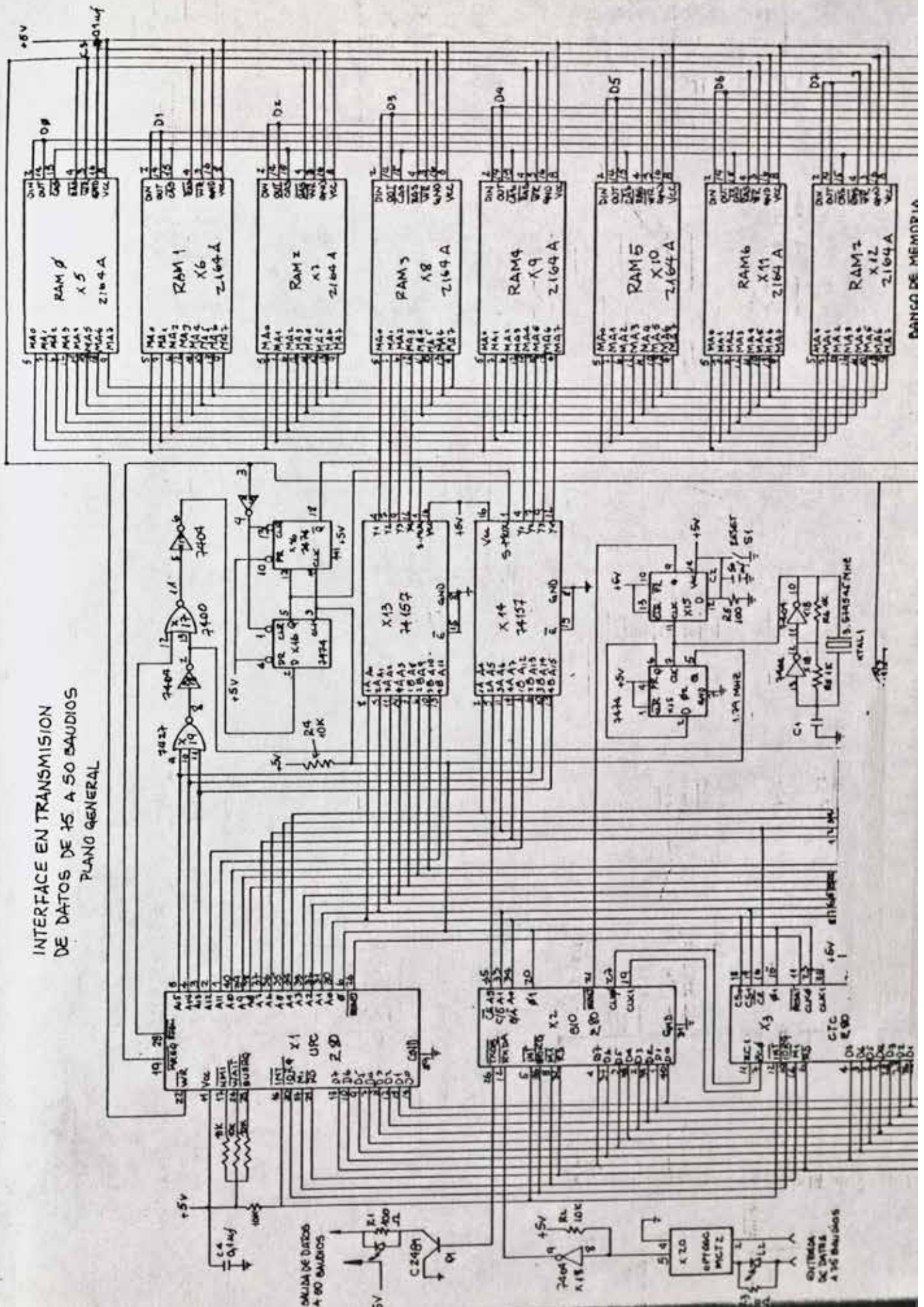
$$P_T = 5,35 \text{ WATTS.}$$

Y como cada enrollado del secundario del transformador aporta la mitad de la potencia se tiene:

$$I_1 = I_2 = \frac{P_T/2}{V_{\text{efect.}}} = \frac{2,675 \text{ WATTES}}{7,47\text{V}} = 0,358 \text{ A.efect.}$$

Luego el diodo debe ser capaz de soportar una corriente eficaz de trabajo de 358mA. y un voltaje inverso de $2 V_{\text{m\acute{a}x.}} = 2 \cdot 10,56\text{V.} = 21,12 \text{ Volt.}$

INTERFACE EN TRANSMISION DE DATOS DE 15 A 50 BAUDIOS PLANO GENERAL



BANCO DE MEMORIA

SEALIDA DE DATOS A 80 BAUDIOS

ENTRADA DE DATOS A 15 BAUDIOS

BANCO DE MEMORIA
DINAMICAS
RAM

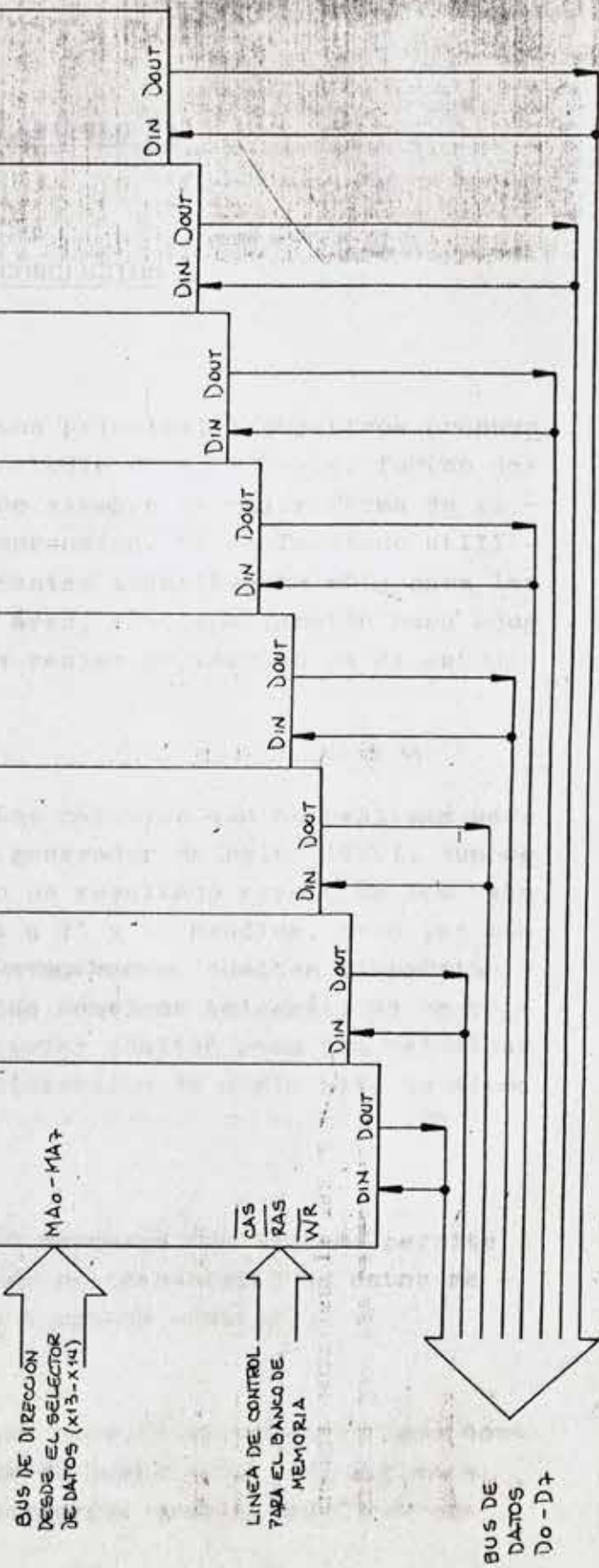


FIGURA No 4

CAPITULO VI

CONCLUSION

Los principales objetivos propuestos al comenzar el estudio de esta Tesis, fueron desarrollados, buscando siempre la mejor forma de exponerlos para su comprensión. Se confeccionó utilizando un lenguaje técnico accesible no sólo para los especialistas en el área, sino que también para aquellos estudiantes que recién se inician en el estudio de estas materias.

Los cálculos que se realizan para la programación del generador de reloj (CTC), supone mos que no ofrecieran un resultado exacto de los valores correspondientes a 75 y 50 baudios, pero las máquinas receptores afortunadamente admiten distorsión. En los manuales de las máquinas telegráficas se verifica que las receptoras admiten para una velocidad de 50 baudios, una distorsión de medio bit, lo mismo que para 75 baudios.

El Hardware del sistema permite aplicar otras máquinas de transmisión de datos mediante el cambio del programa monitor.

Los conocimientos adquiridos como alumnos de la carrera de Ingeniería, nos motivo a desarrollar este interesante trabajo de Interface

Recepción/Transmisión de Datos. El proyecto desarrollado en su etapa teórica nos permitió un mayor conocimiento acerca de sistemas basados en microprocesadores, logrando un mayor horizonte en el ejercicio de nuestra carrera.

Esperamos que el sistema aquí presentado, permita las bases suficientes para futuros Memoristas o Profesionales electrónicos, que se interesen en su elaboración práctica en transmisión de Datos.

B I B L I O G R A F I A

- Laboratorio de Sistemas Digitales (CENET-Mayo 1988)
- Memory Components Handbook (INTEL, 1983)
- Microprocesadores (José Angulo Usategui)
- Introducción a la Computación (CENET 1984)
- Data Book TTL
- Transmisión de Datos (CENET 1980)
- Signetics 8 x 300 Reference Manual (1977)
- Sistemas Electronicos Digitales (Enrique Mandado)
- Microprocesadores Z-80 (CENET 1987)
- Set de instrucciones Z-80 (CENET 1988)
- Uso del Z-80 Starter Kit (CENET 1984)
- SGS Z80, SIO, CTC (Fotocopias CENET 1987)
- Introducción a la Programación de microcomputadores (Publicaciones Lo Castillo S.A.)
- Technical Manual y Data Book (Pro-Log Corporation
Nov. 1985)
- Electrónica (Alberto Ortíz CENET-U. de Chile)
- Microprocesador And Peripheral Hand Book (INTEL 1983)